

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-152187
(P2000-152187A)

(43)公開日 平成12年5月30日 (2000. 5. 30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 4 N 5/93		H 0 4 N 5/93	A 5 C 0 1 8
G 1 1 B 20/10	3 5 1	G 1 1 B 20/10	3 5 1 Z 5 C 0 5 2
H 0 4 N 5/765		H 0 4 N 5/907	B 5 C 0 5 3
5/781		5/781	5 1 0 L 5 D 0 4 4
5/7826		5/782	Z

審査請求 未請求 請求項の数5 O L (全 24 頁) 最終頁に続く

(21)出願番号 特願平10-317598

(22)出願日 平成10年11月9日(1998. 11. 9)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 五十崎 正明

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 大米 祥夫

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

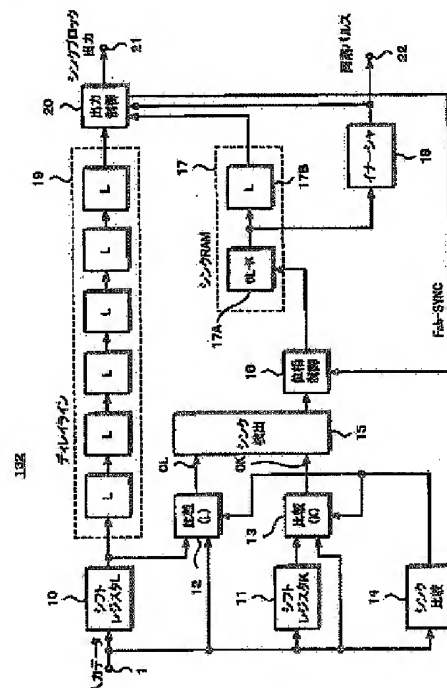
最終頁に続く

(54)【発明の名称】 同期検出装置および方法、ならびに、再生装置

(57)【要約】

【課題】 セクタの途中で同期パターンのエラーがあつても確実に同期を得ることができるようにする。

【解決手段】 同期検出が行われない場合、シンクRAM 17から供給される同期検出情報に基づきイナーシャ回路18で同期パルスが生成される。出力制御回路20では、この同期パルスによってディレイライン19のデータを出力すると共に、同期パルスの回数をカウントする。カウント値が所定数以上になったらF a b-SYN Cを出力する。位相制御回路16では、F a b-SYN Cと同期検出された際のパルスとが共に供給されたときに、シンクRAM 17においてイナーシャ回路18が所定量だけ前戻りで同期パルスを生成するような位置に同期検出情報が書き込まれるように、シンクRAM 17に対する同期検出情報の書き込みアドレスを作成する。



【特許請求の範囲】

【請求項 1】 同期を検出するための同期パターンがデータ長毎に付加されて入力されたビット列から同期検出を行う同期検出装置において、

入力データの同期パターンを検出して上記入力データの同期を検出すると共に、上記同期を検出できたことを示す情報と検出された上記同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出手段と、上記入力データを上記同期に対応したデータブロックとして順に複数格納する第 1 のメモリ手段と、

上記同期検出手段による上記同期検出情報を格納する、上記第 1 のメモリ手段と対応した長さを有する第 2 のメモリ手段と、

上記同期検出手段で上記同期が検出されない場合に、上記第 2 のメモリ手段に書き込まれた上記同期検出情報の位置と該同期検出情報の上記データ長情報とに基づき、上記データ長に対応する同期信号を生成する同期信号生成手段と、

上記同期信号生成手段により上記同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、上記同期検出手段による上記同期の検出がなされたら、上記第 2 のメモリ手段に対して、上記同期が検出された位置よりも所定長だけ前戻りした位置に、検出された上記同期に伴う上記同期検出情報を書き込むように制御する位相制御手段とを有することを特徴とする同期検出装置。

【請求項 2】 請求項 1 に記載の同期検出装置において、

上記第 2 のメモリ手段は、上記データブロックの長さの整数倍の長さから、上記データブロックよりも短く、且つ、上記データブロックの半分の長さを越える他のデータブロックの長さを差し引いた長さを有し、

上記位相制御手段は、上記同期検出手段によって上記データブロックに対応する同期が検出されたら、上記同期検出情報を上記第 2 のメモリ手段の後端側から上記データブロック長さの整数倍の位置から書き込み、上記同期検出手段によって上記他のデータブロックに対応する同期が検出されたら、上記同期検出情報を上記第 2 のメモリ手段の先頭から上記他のデータブロック長さの整数倍の位置から書き込むようにしたことを特徴とする同期検出装置。

【請求項 3】 記録媒体から再生された、同期を検出するための同期パターンがデータ長毎に付加されたビット列から同期検出を行う再生装置において、再生データの同期パターンを検出して上記再生データの同期を検出すると共に、上記同期を検出できたことを示す情報と検出された上記同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出手段と、上記再生データを上記同期に対応したデータブロックとして順に複数格納する第 1 のメモリ手段と、

上記同期検出手段による上記同期検出情報を格納する、上記第 1 のメモリ手段と対応した長さを有する第 2 のメモリ手段と、

上記同期検出手段で上記同期が検出されない場合に、上記第 2 のメモリ手段に書き込まれた上記同期検出情報の位置と該同期検出情報の上記データ長情報とに基づき、上記データ長に対応する同期信号を生成する同期信号生成手段と、

上記同期信号生成手段により上記同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、上記同期検出手段による上記同期の検出がなされたら、上記第 2 のメモリ手段に対して、上記同期が検出された位置よりも所定長だけ前戻りした位置に、検出された上記同期に伴う上記同期検出情報を書き込むように制御する位相制御手段と、

上記同期信号生成手段により生成された上記同期信号あるいは上記同期検出手段で検出された同期に基づき上記第 1 のメモリ手段に格納された上記データブロックを出力する出力制御手段とを有することを特徴とする再生装置。

【請求項 4】 請求項 3 に記載の再生装置において、上記第 2 のメモリ手段は、上記データブロックの長さの整数倍の長さから、上記データブロックよりも短く、且つ、上記データブロックの半分の長さを越える他のデータブロックの長さを差し引いた長さを有し、上記位相制御手段は、上記同期検出手段によって上記データブロックに対応する同期が検出されたら、上記同期検出情報を上記第 2 のメモリ手段の後端側から上記データブロック長さの整数倍の位置から書き込み、上記同期検出手段によって上記他のデータブロックに対応する同期が検出されたら、上記同期検出情報を上記第 2 のメモリ手段の先頭から上記他のデータブロック長さの整数倍の位置から書き込むようにしたことを特徴とする再生装置。

【請求項 5】 同期を検出するための同期パターンがデータ長毎に付加されて入力されたビット列から同期検出を行う同期検出方法において、

入力データの同期パターンを検出して上記入力データの同期を検出すると共に、上記同期を検出できたことを示す情報と検出された上記同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出のステップと、

上記入力データを上記同期に対応したデータブロックとして第 1 のメモリに順に複数格納するステップと、上記第 1 のメモリと対応した長さを有する第 2 のメモリに、上記同期検出のステップによる上記同期検出情報を格納するステップと、

上記同期検出のステップで上記同期が検出されない場合に、上記第 2 のメモリに書き込まれた上記同期検出情報の位置と該同期検出情報の上記データ長情報とに基づ

き、上記データ長に対応する同期信号を生成する同期信号生成のステップと、

上記同期信号生成のステップにより上記同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、上記同期検出のステップによる上記同期の検出がなされたら、上記第2のメモリに対して、上記同期が検出された位置よりも所定長だけ前戻りした位置に、検出された上記同期に伴う上記同期検出情報を書き込むように制御する位相制御のステップとを有することを特徴とする同期検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、この発明は、記録媒体から再生されたデータブロックから同期パターンを検出する際に、同期パターンが一定期間以上検出されなかった部分に前戻って、データブロックの位相を特定する同期検出装置および方法、ならびに、再生装置に関する。

【0002】

【従来の技術】近年、記録媒体として磁気テープが用いられ、デジタルビデオ信号およびデジタルオーディオ信号の記録再生を行うようにした、デジタルビデオテープレコーダが普及しつつある。

【0003】このような装置では、デジタルビデオデータおよびデジタルオーディオデータを所定長のブロック単位に格納し、ブロックのそれぞれに、同期検出用の同期パターン、ブロックのそれぞれを識別するためのブロックID、データの内容を表すIDおよびエラー訂正用のパリティを付加してシンクブロックを構成する。そして、このシンクブロックを、データの種別に応じてグループ化してセクタとし、セクタ単位でシリアルデータとして磁気テープに記録される。記録は、回転ヘッドによって磁気テープ上に斜めにトラックを形成する、ヘリカルスキャン方式で行われる。

【0004】また、記録に際して、同一セクタ内の各シンクブロックの長さは同じにされると共に、ブロックIDが連続、且つデータ内容を表すIDは、同じ値とされる。

【0005】図23は、トラック上の各セクタの配置の一例を概略的に示す。回転ヘッドが図の左側から右側へとトレースし、トラックが形成される。トラックは、上述したように、実際には磁気テープに対して斜めに形成され、1フレームのビデオデータは、複数、例えば4トラックを用いて記録される。ビデオデータが記録されるビデオセクタに挟まれて、オーディオデータを記録するオーディオセクタが複数、配置される。この例では、Ch1～Ch8までの8チャンネル分のオーディオ信号を扱うことができるようにされているため、A1～A8の8つのオーディオセクタが配される。

【0006】各セクタの間には、例えばオーディオ信号

のセクタ単位でのインサート編集が可能のように、オーディオデータの記録されないエディットギャップ(EG)が配置される。また、トラックの先頭には、プリアンプルが設けられる。プリアンプルは、再生時に、再生クロック用のPLLがロックしやすいような信号、例えば「FF(16進表記)」のデータが繰り返し記録される。さらに、記録媒体上での最短記録波長は、1トラック分のデータ量に依存する。

【0007】再生時には、回転ヘッドによって磁気テープ上のトラックがトレースされ、再生信号が得られる。この再生信号の、上述のプリアンプル部分における信号のエッジが検出され、このエッジ間隔を利用して、再生クロック用のPLLをロックさせる。そして、再生信号から、シンク検出回路によって、再生クロックに同期した再生ビット列から同期パターンを検出し、各々のシンクブロックの先頭位置を検出する。そして、検出されたシンクブロック内のパケットを、ブロックID番号およびデータ内容のIDとに応じて並べ替えて、元のデータ列を復号する。すなわち、シンクブロック先頭の同期パターンのビット列および出現周期、さらに、同一セクタ内でブロックID番号が連続で、且つデータ内容を表すIDが同じであるということを利用して、シンクブロックの位相が特定される。

【0008】例えば、同期パターンのビット列が固有パターンと一致し、且つシンクブロック長だけ遅延した位置に同一のパターンが検出され、さらに、ブロックID番号が適正であった場合に、シンクブロックの位相が特定される。

【0009】ここで、データ列の復号時に、データ列にエラーが生じている場合について考える。ここでは、データ列のビット間隔は常に同じで、ランダムエラーだけが付加されたと仮定する。この場合、同期パターン間のビット間隔は、同一セクタ内で常に同じであるため、セクタの先頭で同期検出ができれば、あとはブロック長に基づきフライホイール処理を行うことで、後ろの同期ブロックの先頭位相は特定できる。よって、この場合には、セクタの先頭位置での同期検出確率が十分確保されていれば良いことになる。

【0010】なお、フライホイール処理は、以前検出された周期で、引き続いて同期信号を発生させる処理であり、イナーシャ回路で実現される。

【0011】この例では、同期検出を、データの入力点とブロック長分だけ遅延した点とを参照して行っているため、セクタの先頭で同期検出を行うためには、セクタの先頭で2個連続して同期パターンを検出する必要がある。図24は、セクタの先頭で2個連続して同期パターンを検出できない例を示す。図24Aは、セクタの先頭で4個連続してエラーがある例である。図24B～図24Eは、セクタの先頭4個のうち3個にエラーがある例である。図24F～図24Hは、セクタの先頭4個のう

5

ち2個にエラーがあり、連続した2個が検出されていない例である。

【0012】一方、図24Iは、セクタの先頭4個のうち3個まで検出されているが、そのうち先頭の2個が連続して検出されていない。これは、連続して検出されて

バイトエラー発生確率: Pbytes

同期パターン4バイトがエラーになる確率: $P_s = 1 - (1 - P_{\text{bytes}})^4$. . . (1)

同期パターン検出エラー確率:

$P_{se} = P_s^4 + 4 \times P_s^3 \times (1 - P_s) + 3 \times P_s^2 \times (1 - P_s)^2 + P_s \times (1 - P_s)^3$. . . (2)

このように求められる。

【0014】例えば有効走査線数が480本のノンインターレス(プログレッシブ)走査で、ビデオレートが90Mbpsの場合、セクタ先頭の発生頻度が3596回/sとなる。同期パターン誤りによるエラーの発生頻度Tseは、 $P_{\text{bytes}} = 1 \times 10^{-3}$ とした場合、上述の式(1)および式(2)に基づき、

$Tse = 14.3$ 回/s

$P_{se} = P_s^4 + 4 \times P_s^3 \times (1 - P_s) + 3 \times P_s^2 \times (1 - P_s)^2 + P_s \times (1 - P_s)^3$. . . (3)

この式(3)で計算できる。 $P_{\text{bytes}} = 1 \times 10^{-3}$ とすると、 $Tse = 0.175$ 回/s

このようになる。すなわち、前戻り処理を行うことによって、飛躍的に同期検出能力が高まる。

【0016】図25は、従来の技術による、前戻り処理を行うようにされた同期検出回路の構成の一例を示す。この回路は、データ長Lであるシンクブロックに対応している。端子300から供給された入力データは、データ長Lに対応するシフトレジスタ301に供給されると共に、比較回路303の一方の入力端に供給される。比較回路303の他方の入力端には、入力データがシフトレジスタ301で遅延されたものが供給される。シフトレジスタ301から出力されたデータ列は、ディレイライン307を介して6L分遅延され、可変シフト308に供給される。

【0017】図26は、セクタの先頭から読み出された入力データの一例を概略的に示す。「×」は、同期パターンにエラーがあるデータである。「○」は、同期パターンにエラーがないデータである。時間的には、データ1がより新しく、データaが最も古い。ここでは、データaがセクタの先頭であるとする。例えばディレイライン307において、4L目にデータaが格納され、ディレイライン307の先頭に向けてデータb、データc、データdと格納される。シフトレジスタ301にはデータeが格納される。入力端300には、データfが到来していることになる。また、入力データは、シンク比較回路302にも供給され、内部でラッチされる。そして、ラッチされている入力データに対して、各ビット位置で8ビットからなる同期パターンとの比較を行う。比較結果として、同期パターンの検出結果と、どのビット位置でパターンが一致したのかを示すビットシフト量が比較回路303に供給される。比較回路303では、こ

6

いる後半の2個の同期パターンから、同期パターンを前に戻っての同期検出が可能である。

【0013】ここで、同期パターンが検出できない確率について考える。確率は、

10 このようになる。

【0015】次に、上述した図24Iのような場合において、廻りによって同期検出を行う例について考える。すなわち、3、4の位置の同期パターンは、検出できるため、これにより、1の同期パターンの位置は、3、4の位置から前戻りすることで計算可能である。この前戻り処理をした場合での、同期パターン検出ができない確率は、

. . . (3)

の検出結果に基づき一方および他方の入力端に供給されたデータ列からシンクブロックを検出する。検出結果に基づき、シンク検出回路304でシンクブロックに格納されたブロックID番号およびデータ内容のIDに基づき、上述したように、シンクブロックの妥当性を判断すると共に、シンクブロックの位相を特定する。

【0018】シンク検出回路304では、検出された同期パターンを含むシンクブロックに格納されたID情報(ID番号)と、システム関数として予め知られている当該セクタの先頭のシンクブロックのID番号とに基づき、当該セクタの先頭のシンクブロック(データa)への相対位置を計算する。このときには、この例では、シフトレジスタ301内のデータeと、ディレイライン307の先頭のデータdに基づき、相対位置の計算が行われる。

【0019】この相対位置情報が位相制御回路305に供給される。相対位相情報は、位相制御回路305により書き込みアドレスを計算され、(6L+K)の長さを有するシンクRAM306に書き込まれる。また、そのアドレスには、イナーシャ回路309を起動させるための起動信号や、同期パターンの検出情報が併せて書き込まれる。

【0020】上述した、位相制御回路305から供給され書き込まれた各情報は、シンクRAM306中を、ディレイライン307中のデータの移動に対応して移動し、シンクRAM306の後端からLの位置に来ると、イナーシャ回路309に供給される。これによりイナーシャ回路309から同期パルスが出力される。同期パルスは、端子310に導出されると共に、可変シフト308に供給される。

【0021】可変シフト308では、シンクRAM306から供給された相対位相情報と、イナーシャ回路30

9から供給された同期パルスとに基づき、ディレイライン307から出力されたデータaを位相シフトさせると共に、同期パルスに同期させて、シンクブロックとして出力端311に導出させる。セクタの先頭のシンクブロックが同期パルスに同期されて出力される。

【0022】

【発明が解決しようとする課題】この図25に示す構成では、シンク検出回路804で予めセクタ先頭のIDとして知られている情報に基づき、各種信号を形成し、セクタ先頭での前戻り処理のみが行われる。そのため、例えば図25に示されるデータh～データjまでのような、セクタの途中で同期パターンが検出できなかった場合の前戻り処理を行うことができないという問題点があった。

【0023】例えばノントラッキング再生を行うような再生装置では、1つのトラックを複数の再生ヘッドでトレースするので、それぞれの再生ヘッドからの信号は、トラックの途中から再生された信号となる。このときには、セクタの途中から同期パターンを検出し、イナーシャ回路を動作させる必要がある。ところが、上述したように、従来方法では、セクタ中の特定の番号を検出した場合に前戻り処理を行うようにされているため、セクタの途中からのデータに対しては前戻り処理が行えないという問題点があった。

【0024】また、従来では、同時に対応できるシンクブロック長が1種類だけとされており、互いに異なる複数のシンクブロック長を持つような記録フォーマットでは使用することができないという問題点があった。

【0025】したがって、この発明の目的は、セクタの途中で同期パターンのエラーがあっても確実に同期を得ることができると共に、互いに異なる複数のシンクブロック長が混在するような記録フォーマットにも対応できるような同期検出装置および方法、ならびに、再生装置を提供することにある。

【0026】

【課題を解決するための手段】この発明は、上述した課題を解決するために、同期を検出するための同期パターンがデータ長毎に付加されて入力されたビット列から同期検出を行う同期検出装置において、入力データの同期パターンを検出して入力データの同期を検出すると共に、同期を検出できたことを示す情報と検出された同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出手段と、入力データを同期に対応したデータブロックとして順に複数格納する第1のメモリ手段と、同期検出手段による同期検出情報を格納する、第1のメモリ手段と対応した長さを持つ第2のメモリ手段と、同期検出手段で同期が検出されない場合に、第2のメモリ手段に書き込まれた同期検出情報の位置と同期検出情報のデータ長情報とに基づき、データ長に対応する同期信号を生成する同期信号生成手段と、同期信号生

成手段により同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、同期検出手段による同期の検出がなされたら、第2のメモリ手段に対して、同期が検出された位置よりも所定長だけ前戻りした位置に、検出された同期に伴う同期検出情報を書き込むように制御する位相制御手段とを有することを特徴とする同期検出装置である。

【0027】また、この発明は、記録媒体から再生された、同期を検出するための同期パターンがデータ長毎に付加されたビット列から同期検出を行う再生装置において、再生データの同期パターンを検出して再生データの同期を検出すると共に、同期を検出できたことを示す情報と検出された同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出手段と、再生データを同期に対応したデータブロックとして順に複数格納する第1のメモリ手段と、同期検出手段による同期検出情報を格納する、第1のメモリ手段と対応した長さを持つ第2のメモリ手段と、同期検出手段で同期が検出されない場合に、第2のメモリ手段に書き込まれた同期検出情報の位置と同期検出情報のデータ長情報とに基づき、データ長に対応する同期信号を生成する同期信号生成手段と、同期信号生成手段により同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、同期検出手段による同期の検出がなされたら、第2のメモリ手段に対して、同期が検出された位置よりも所定長だけ前戻りした位置に、検出された同期に伴う同期検出情報を書き込むように制御する位相制御手段と、同期信号生成手段により生成された同期信号あるいは同期検出手段で検出された同期に基づき第1のメモリ手段に格納されたデータブロックを出力する出力制御手段とを有することを特徴とする再生装置である。

【0028】また、この発明は、同期を検出するための同期パターンがデータ長毎に付加されて入力されたビット列から同期検出を行う同期検出方法において、入力データの同期パターンを検出して入力データの同期を検出すると共に、同期を検出できたことを示す情報と検出された同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する同期検出のステップと、入力データを同期に対応したデータブロックとして第1のメモリに順に複数格納するステップと、第1のメモリと対応した長さを有する第2のメモリに、同期検出のステップによる同期検出情報を格納するステップと、同期検出のステップで同期が検出されない場合に、第2のメモリに書き込まれた同期検出情報の位置と同期検出情報のデータ長情報とに基づき、データ長に対応する同期信号を生成する同期信号生成のステップと、同期信号生成のステップにより同期信号が生成された回数をカウントし、カウント値が所定値以上になり、且つ、同期検出のステップによる同期の検出がなされたら、第2のメモリに対して、同期が検出された位置よりも所定長だけ前戻りした位置

に、検出された同期に伴う同期検出情報を書き込むように制御する位相制御のステップとを有することを特徴とする同期検出方法である。

【0029】上述したように、この発明は、入力データが同期に対応したデータブロックとして第1のメモリに順に複数格納され、同期検出手段では、入力データの同期パターンを検出して入力データの同期を検出すると共に、同期を検出できたことを示す情報と検出された同期の間隔に基づくデータ長情報とからなる同期検出情報を作成する。同期検出手段による同期検出情報が第1のメモリに対応した長さを有する第2のメモリに格納される。同期信号生成手段では、同期が検出されない場合に、第2のメモリに書き込まれた同期検出情報の位置と同期検出情報のデータ長情報とに基づき、データ長に対応する同期信号を生成する。同期信号生成手段により同期信号が生成された回数がカウントされ、カウント値が所定値以上になり、且つ、同期検出手段による同期の検出がなされたら、第位相制御手段によって、第2のメモリ手段に対して、同期が検出された位置よりも所定長だけ前戻りした位置に、検出された同期に伴う同期検出情報を書き込むように制御される。そのため、同期信号生成手段では、同期が検出されない位置まで前戻りして同期信号が生成される。

【0030】

【発明の実施の形態】以下、この発明をディジタルVCRに対して適用した一実施形態について説明する。この一実施形態は、放送局の環境で使用して好適なもので、互いに異なる複数のフォーマットのビデオ信号の記録・再生を可能とするものである。例えば、NTSC方式に基づいたインターレース走査で有効ライン数が480本の信号(480i信号)およびPAL方式に基づいたインターレース走査で有効ライン数が576本の信号(576i信号)の両者を殆どハードウェアを変更せずに記録・再生することが可能とされる。さらに、インターレース走査でライン数が1080本の信号(1080i信号)、プログレッシブ走査(ノンインターレース)でライン数がそれぞれ480本、720本、1080本の信号(480p信号、720p信号、1080p信号)などの記録・再生も行うようにできる。

【0031】また、この一実施形態では、ビデオ信号はMPEG2方式に基づき圧縮符号化され、オーディオ信号は非圧縮で扱われる。周知のように、MPEG2は、動き補償予測符号化と、DCTによる圧縮符号化とを組み合わせたものである。MPEG2のデータ構造は、階層構造をなしており、下位から、ブロック層、マクロブロック層、スライス層、ピクチャ層、GOP層およびシーケンス層となっている。

【0032】ブロック層は、DCTを行う単位であるDCTブロックからなる。マクロブロック層は、複数のDCTブロックで構成される。スライス層は、ヘッダ部

と、行間をまたがらない任意個のマクロブロックより構成される。ピクチャ層は、ヘッダ部と、複数のスライスとから構成される。ピクチャは、1画面に対応する。GOP(Group Of Picture)層は、ヘッダ部と、フレーム内符号化に基づくピクチャであるIピクチャと、予測符号化に基づくピクチャであるPおよびBピクチャとから構成される。

【0033】Iピクチャ(Intra-coded picture: イントラ符号化画像)は、符号化される時その画像1枚の中だけで閉じた情報を使用するものである。従って、復号時には、Iピクチャ自身の情報のみで復号できる。Pピクチャ(Predictive-coded picture: 順方向予測符号化画像)は、予測画像(差分をとる基準となる画像)として、時間的に前の既に復号されたIピクチャまたはPピクチャを使用するものである。動き補償された予測画像との差を符号化するか、差分を取らずに符号化するか、効率の良い方をマクロブロック単位で選択する。Bピクチャ(Bidirectionally predictive-coded picture: 両方向予測符号化画像)は、予測画像(差分をとる基準となる画像)として、時間的に前の既に復号されたIピクチャまたはPピクチャ、時間的に後ろの既に復号されたIピクチャまたはPピクチャ、並びにこの両方から作られた補間画像の3種類を使用する。この3種類のそれぞれの動き補償後の差分の符号化と、イントラ符号化の中で、最も効率の良いものをマクロブロック単位で選択する。

【0034】従って、マクロブロックタイプとしては、フレーム内符号化(Intra)マクロブロックと、過去から未来を予測する順方向(Foward)フレーム間予測マクロブロックと、未来から過去を予測する逆方向(Backward)フレーム間予測マクロブロックと、前後両方向から予測する両方向マクロブロックとがある。Iピクチャ内の全てのマクロブロックは、フレーム内符号化マクロブロックである。また、Pピクチャ内には、フレーム内符号化マクロブロックと順方向フレーム間予測マクロブロックとが含まれる。Bピクチャ内には、上述した4種類の全てのタイプのマクロブロックが含まれる。

【0035】GOPには、最低1枚のIピクチャが含まれ、PおよびBピクチャは、存在しなくても許容される。最上層のシーケンス層は、ヘッダ部と複数のGOPとから構成される。

【0036】MPEGのフォーマットにおいては、スライスが1つの可変長符号系列である。可変長符号系列とは、可変長符号を復号化しなければデータの境界を検出できない系列である。

【0037】また、シーケンス層、GOP層、ピクチャ層、スライス層およびマクロブロック層の先頭には、それぞれ、バイト単位に整列された所定のビットパターンを有する識別コード(スタートコードと称される)が配される。なお、上述した各層のヘッダ部は、ヘッダ、括

張データまたはユーザデータをまとめて記述したものである。シーケンス層のヘッダには、画像（ピクチャ）のサイズ（縦横の画素数）等が記述される。GOP層のヘッダには、タイムコードおよびGOPを構成するピクチャ数等が記述される。

【0038】スライス層に含まれるマクロブロックは、複数のDCTブロックの集合であり、DCTブロックの符号化系列は、量子化されたDCT係数の系列を0係数の連続回数（ラン）とその直後の非0系列（レベル）を1つの単位として可変長符号化したものである。マクロブロックならびにマクロブロック内のDCTブロックには、バイト単位に整列した識別コードは付加されない。すなわち、これらは、1つの可変長符号系列ではない。

【0039】マクロブロックは、画面（ピクチャ）を16画素×16ラインの格子状に分割したものである。スライスは、例えばこのマクロブロックを水平方向に連結してなる。連続するスライスの前のスライスの最後のマクロブロックと、次のスライスの先頭のマクロブロックとは連続しており、スライス間でのマクロブロックのオーバーラップを形成することは、許されていない。また、画面のサイズが決まると、1画面当たりのマクロブロック数は、一意に決まる。

【0040】一方、復号および符号化による信号の劣化を避けるためには、符号化データ上で編集することが望ましい。このとき、PピクチャおよびBピクチャは、その復号に、時間的に前のピクチャあるいは前後のピクチャを必要とする。そのため、編集単位を1フレーム単位とすることができない。この点を考慮して、この一実施形態では、1つのGOPが1枚のIピクチャからなるようにしている。

【0041】また、例えば1フレーム分の記録データが記録される記録領域が所定のものとされる。MPEG2では、可変長符号化を用いているので、1フレーム期間に発生するデータを所定の記録領域に記録できるように、1フレーム分の発生データ量が制御される。さらに、この一実施形態では、磁気テープへの記録に適するように、1スライスを1マクロブロックから構成すると共に、1マクロブロックを、所定長の固定枠に当てはめる。

【0042】図1は、この一実施形態による記録再生装置の記録側の構成の一例を示す。記録時には、所定のインターフェース例えばSDI (Serial Data Interface) の受信部を介してデジタルビデオ信号が端子101から入力される。SDIは、(4:2:2)コンポーネントビデオ信号とデジタルオーディオ信号と付加的データとを伝送するために、SMPTEによって規定されたインターフェースである。入力ビデオ信号は、ビデオエンコーダ102においてDCT (Discrete Cosine Transform) の処理を受け、係数データに変換され、係数データが可変長符号化される。ビデオエンコーダ102から

の可変長符号化 (VLC) データは、MPEG2に準拠したエレメンタリストリームである。この出力は、セクタ103の一方の入力端に供給される。

【0043】一方、入力端子104を通じて、ANSI/SMPTE 305Mによって規定されたインターフェイスである、SDTI (Serial Data Transport Interface) のフォーマットのデータが入力される。この信号は、SDTI受信部105で同期検出される。そして、バッファに一旦溜め込まれ、エレメンタリストリームが抜き出される。抜き出されたエレメンタリストリームは、セクタ103の他方の入力端に供給される。

【0044】セクタ103で選択され出力されたエレメンタリストリームは、ストリームコンバータ106に供給される。ストリームコンバータ106では、MPEG2の規定に基づきDCTブロック毎に並べられていたDCT係数を、1マクロブロックを構成する複数のDCTブロックを通して、周波数成分毎にまとめ、まとめた周波数成分を並べ替える。並べ替えられた変換エレメンタリストリームは、パッキングおよびシャフリング部107に供給される。

【0045】エレメンタリストリームのビデオデータは、可変長符号化されているため、各マクロブロックのデータの長さが不揃いである。パッキングおよびシャフリング部107では、マクロブロックが固定枠に詰め込まれる。このとき、固定枠からはみ出た部分は、固定枠のサイズに対して余った部分に順に詰め込まれる。また、タイムコード等のシステムデータが入力端子108からパッキングおよびシャフリング部107に供給され、ピクチャデータと同様にシステムデータが記録処理を受ける。また、走査順に発生する1フレームのマクロブロックを並び替え、テープ上のマクロブロックの記録位置を分散させるシャフリングが行われる。シャフリングによって、変速再生時に断片的にデータが再生される時でも、画像の更新率を向上させることができる。

【0046】パッキングおよびシャフリング部107からのビデオデータおよびシステムデータ（以下、特に必要な場合を除き、システムデータを含む場合も単にビデオデータと言う。）が外符号エンコーダ109に供給される。ビデオデータおよびオーディオデータに対するエラー訂正符号としては、積符号が使用される。積符号は、ビデオデータまたはオーディオデータの2次元配列の縦方向に外符号の符号化を行い、その横方向に内符号の符号化を行い、データシンボルを2重に符号化するのである。外符号および内符号としては、リードソロモンコード (Reed-Solomon code) を使用できる。

【0047】外符号エンコーダ109の出力がシャフリング部110に供給され、複数のECC (Error Correcting Code) ブロックにわたってシンクブロック単位で順番を入れ替える、シャフリングがなされる。シンクブロック単位のシャフリングによって特定のECCブロックに

エラーが集中することが防止される。シャフリング部110でなされるシャフリングをインターリーブと称することもある。シャフリング部110の出力が混合部111に供給され、オーディオデータと混合される。なお、混合部111は、後述のように、メインメモリにより構成される。

【0048】112で示す入力端子からオーディオデータが供給される。この一実施形態では、非圧縮のデジタルオーディオ信号が扱われる。デジタルオーディオ信号は、入力側のSDI受信部（図示しない）またはSDTI受信部105で分離されたもの、またはオーディオインターフェースを介して入力されたものである。入力デジタルオーディオ信号が遅延部113を介してAUX付加部114に供給される。遅延部113は、オーディオ信号とビデオ信号と時間合わせ用のものである。入力端子115から供給されるオーディオAUXは、補助的データであり、オーディオデータのサンプリング周波数等のオーディオデータに関連する情報を有するデータである。オーディオAUXは、AUX付加部114にてオーディオデータに付加され、オーディオデータと同等に扱われる。

【0049】AUX付加部114からのオーディオデータおよびAUX（以下、特に必要な場合を除き、AUXを含む場合も単にオーディオデータと言う。）が外符号エンコーダ116に供給される。外符号エンコーダ116は、オーディオデータに対して外符号の符号化を行う。外符号エンコーダ116の出力がシャフリング部117に供給され、シャフリング処理を受ける。オーディオシャフリングとして、シンクブロック単位のシャフリングと、チャンネル単位のシャフリングとがなされる。

【0050】シャフリング部117の出力が混合部111に供給され、ビデオデータとオーディオデータが1チャンネルのデータとされる。混合部111の出力がID付加部118に供給され、ID付加部118にて、シンクブロック番号を示す情報等を有するIDが付加される。ID付加部118の出力が内符号エンコーダ119に供給され、内符号の符号化がなされる。さらに、内符号エンコーダ119の出力が同期付加部120に供給され、シンクブロック毎の同期信号が付加される。同期信号が付加されることによってシンクブロックが連続する記録データが構成される。この記録データが記録アンプ121を介して回転ヘッド122に供給され、磁気テープ123上に記録される。回転ヘッド122は、実際には、隣接するトラックを形成するヘッドのアジマスが互いに異なる複数の磁気ヘッドが回転ドラムに取り付けられたものである。

【0051】記録データに対して必要に応じてスクランブル処理を行っても良い。また、記録時にデジタル変調を行っても良く、さらに、パシカル・レスポンスクラス4とビタビ符号を使用しても良い。

【0052】図2は、この発明の一実施形態の再生側の構成の一例を示す。磁気テープ123から回転ヘッド122で再生された再生信号が再生アンプ131を介して同期検出回路132に供給される。再生信号に対して、等化や波形整形などがなされる。また、デジタル変調の復調、ビタビ復号等が必要に応じてなされる。同期検出部132は、シンクブロックの先頭に付加されている同期信号を検出する。同期検出によって、シンクブロックが切り出される。

10 【0053】同期検出ブロック132の出力が内符号エンコーダ133に供給され、内符号のエラー訂正がなされる。内符号エンコーダ133の出力がID補間部134に供給され、内符号によりエラーとされたシンクブロックのID例えばシンクブロック番号が補間される。ID補間部134の出力が分離部135に供給され、ビデオデータとオーディオデータとが分離される。上述したように、ビデオデータは、MPEGのイントラ符号化で発生したDCT係数データおよびシステムデータを意味し、オーディオデータは、PCM(Pulse Code Modulation) データおよびAUXを意味する。

20 【0054】分離部135からのビデオデータがデシャフリング部136において、シャフリングと逆の処理がなされる。デシャフリング部136は、記録側のシャフリング部110でなされたシンクブロック単位のシャフリングを元に戻す処理を行う。デシャフリング部136の出力が外符号デコーダ137に供給され、外符号によるエラー訂正がなされる。訂正できないエラーが発生した場合には、エラーの有無を示すエラーフラグがエラー有りを示すものとされる。

30 【0055】外符号デコーダ137の出力がデシャフリングおよびデパッキング部138に供給される。デシャフリングおよびデパッキング部138は、記録側のパッキングおよびシャフリング部107でなされたマクロブロック単位のシャフリングを元に戻す処理を行う。また、デシャフリングおよびデパッキング部138では、記録時に施されたパッキングを分解する。すなわち、マクロブロック単位にデータの長さを戻して、元の可変長符号を復元する。さらに、デシャフリングおよびデパッキング部138において、システムデータが分離され、

40 出力端子139に取り出される。

【0056】デシャフリングおよびデパッキング部138の出力が補間部140に供給され、エラーフラグが立っている（すなわち、エラーのある）データが修整される。すなわち、変換前に、マクロブロックデータの途中にエラーがあるとされた場合には、エラー箇所以降の周波数成分のDCT係数が復元できない。そこで、例えばエラー箇所のデータをブロック終端符号(EOB)に置き替え、それ以降の周波数成分のDCT係数をゼロとする。同様に、高速再生時にも、シンクブロック長に対応する長さまでのDCT係数のみを復元し、それ以降の係

数は、ゼロデータに置き換えられる。さらに、補間部 140 では、ビデオデータの先頭に付加されているヘッダがエラーの場合に、ヘッダ（シーケンスヘッダ、GOPヘッダ、ピクチャヘッダ、ユーザデータ等）を回復する処理もなされる。

【0057】DCTブロックに跨がって、DCT係数がDC成分および低域成分から高域成分へと並べられているため、このように、ある箇所以降からDCT係数を無視しても、マクロブロックを構成するDCTブロックのそれぞれに対して、満遍なくDCならびに低域成分から

10 DCT係数を行き渡らせることができる。
【0058】補間部140の出力がストリームコンバータ141に供給される。ストリームコンバータ141では、記録側のストリームコンバータ106と逆の処理がなされる。すなわち、DCTブロックに跨がって周波数成分毎に並べられていたDCT係数を、DCTブロック毎に並び替える。これにより、再生信号がMPEG2に準拠したエレメンタリストリームに変換される。

【0059】また、ストリームコンバータ141の入出力は、記録側と同様に、マクロブロックの最大長に応じて、十分な転送レート（バンド幅）を確保しておく。マクロブロックの長さを制限しない場合には、画素レートの3倍のバンド幅を確保するのが好ましい。

【0060】ストリームコンバータ141の出力がビデオデコーダ142に供給される。ビデオデコーダ142は、エレメンタリストリームを復号し、ビデオデータを出力する。すなわち、ビデオデコーダ142は、逆量子化処理と、逆DCT処理とがなされる。復号ビデオデータが出力端子143に取り出される。外部とのインターフェースには、例えばSDIが使用される。また、ストリームコンバータ141からのエレメンタリストリームがSDTI送信部144に供給される。SDTI送信部144には、経路の図示を省略しているが、システムデータ、再生オーディオデータ、AUXも供給され、SDTIフォーマットのデータ構造を有するストリームへ変換される。SDTI送信部144からのストリームが出力端子145を通じて外部に出力される。

【0061】分離部135で分離されたオーディオデータがデシャフリング部151に供給される。デシャフリング部151は、記録側のシャフリング部117でなされたシャフリングと逆の処理を行う。デシャフリング部117の出力が外符号デコーダ152に供給され、外符号によるエラー訂正がなされる。外符号デコーダ152からは、エラー訂正されたオーディオデータが出力される。訂正できないエラーがあるデータに関しては、エラーフラグがセットされる。

【0062】外符号デコーダ152の出力がAUX分離部153に供給され、オーディオAUXが分離される。分離されたオーディオAUXが出力端子154に取り出される。また、オーディオデータが補間部155に供給

される。補間部155では、エラーの有るサンプルが補間される。補間方法としては、時間的に前後の正しいデータの平均値で補間する平均値補間、前の正しいサンプルの値をホールドする前値ホールド等を使用できる。補間部155の出力が出力部156に供給される。出力部156は、エラーであり、補間できないオーディオ信号の出力を禁止するミュート処理、並びにビデオ信号との時間合わせのための遅延量調整処理がなされる。出力部156から出力端子157に再生オーディオ信号が取り出される。

【0063】なお、図1および図2では省略されているが、入力データと同期したタイミング信号を発生するタイミング発生部、記録再生装置の全体の動作を制御するシステムコントローラ（マイクロコンピュータ）等が備えられている。

【0064】この一実施形態では、磁気テープへの信号の記録は、回転する回転ヘッド上に設けられた磁気ヘッドにより、斜めのトラックを形成する、ヘリカルスキャン方式によって行われる。磁気ヘッドは、回転ドラム上の、互いに対向する位置に、それぞれ複数個が設けられる。すなわち、磁気テープが回転ヘッドに180°程度の巻き付け角で以て巻き付けられている場合、回転ヘッドの180°の回転により、同時に複数本のトラックを形成することができる。また、磁気ヘッドは、互いにアジマスの異なる2個で一組とされる。複数個の磁気ヘッドは、隣接するトラックのアジマスが互いに異なるように配置される。

【0065】図3は、上述した回転ヘッドにより磁気テープ上に形成されるトラックフォーマットの一例を示す。これは、1フレーム当たりのビデオおよびオーディオデータが8トラックで記録される例である。例えばフレーム周波数が29.97Hz、レートが50Mbps、有効ライン数が480本で有効水平画素数が720画素のインターレース信号（480i信号）およびオーディオ信号が記録される。また、フレーム周波数が25Hz、レートが50Mbps、有効ライン数が576本で有効水平画素数が720画素のインターレース信号（576i信号）およびオーディオ信号も、図3と同一のテープフォーマットによって記録できる。

40 【0066】互いに異なるアジマスの2トラックによって1セグメントが構成される。すなわち、8トラックは、4セグメントからなる。セグメントを構成する1組のトラックに対して、アジマスと対応するトラック番号〔0〕とトラック番号〔1〕が付される。図3に示される例では、前半の8トラックと、後半の8トラックとの間で、トラック番号が入れ替えられると共に、フレーム毎に互いに異なるトラックシーケンスが付される。これにより、アジマスが異なる1組の磁気ヘッドのうち一方が、例えば目詰まりなどにより読み取り不能状態に陥っても、前フレームのデータを利用してエラーの影響を小

とできる。

【0067】トラックのそれぞれにおいて、両端側にビデオデータが記録されるビデオセクタが配され、ビデオセクタに挟まれて、オーディオデータが記録されるオーディオセクタが配される。なお、この図3および後述する図4は、テープ上のオーディオセクタの配置を示すものである。

【0068】図3のトラックフォーマットでは、8チャンネルのオーディオデータを扱うことができるようにされている。A1～A8は、それぞれオーディオデータの1～8chのセクタを示す。オーディオデータは、セグメント単位で配列を変えられて記録される。オーディオデータは、1フィールド期間で発生するオーディオサンプル（例えばフィールド周波数が29.97Hzで、サンプリング周波数が48kHzの場合には、800サンプルまたは801サンプル）が偶数番目のサンプルと奇数番目のサンプルとにわけられ、各サンプル群とAUXによって積符号の1ECCブロックが構成される。

【0069】図3では、1フィールド分のデータが4トラックに記録されるので、オーディオデータの1チャンネル当たりの2個のECCブロックが4トラックに記録される。2個のECCブロックのデータ（外符号パリティを含む）が4個のセクタに分割され、図3に示すように、4トラックに分散されて記録される。2個のECCブロックに含まれる複数のシンクブロックがシャフリングされる。例えばA1の参照番号が付された4セクタによって、チャンネル1の2ECCブロックが構成される。

【0070】また、ビデオデータは、この例では、1トラックに対して4ECCブロック分のデータがシャフリング（インターリーブ）され、Upper SideおよびLower Sideで各セクタに分割され記録される。Lower Sideのビデオセクタには、所定位置にシステム領域が設けられる。

【0071】なお、図3において、SAT1（Tr）およびSAT2（Tm）は、サーボロック用の信号が記録されるエリアである。また、各記録エリアの間には、所定の大きさのギャップ（Vg1, Sg1, Ag, Sg2, Sg3およびVg2）が設けられる。

【0072】図3は、1フレーム当たりのデータを8トラックで記録する例であるが、記録再生するデータのフォーマットによっては、1フレーム当たりのデータを4トラック、6トラックなどでの記録することができる。図4Aは、1フレームが6トラックのフォーマットである。この例では、トラックシーケンスが〔0〕のみとされる。

【0073】図4Bに示すように、テープ上に記録されるデータは、シンクブロックと称される等間隔に区切られた複数のブロックからなる。図4Cは、シンクブロックの構成を概略的に示す。詳細は後述するが、シンクブ

ロックは、同期検出するためのSYNCパターン、シンクブロックのそれぞれを識別するためのID、後続するデータの内容を示すDID、データパケットおよびエラー訂正用の内符号パリティから構成される。データは、シンクブロック単位でパケットとして扱われる。すなわち、記録あるいは再生されるデータ単位の最小のものが1シンクブロックである。シンクブロックが多数並べられて（図4B）、例えばビデオセクタが形成される（図4A）。

【0074】図5は、記録／再生の最小単位である、ビデオデータのシンクブロックのデータ構成をより具体的に示す。この一実施形態においては、記録するビデオデータのフォーマットに適應して1シンクブロックに対して1個乃至は2個のマクロブロックのデータ（VLCデータ）が格納されると共に、1シンクブロックのサイズが扱うビデオ信号のフォーマットに応じて長さが変更される。図5Aに示されるように、1シンクブロックは、先頭から、2バイトのSYNCパターン、2バイトのID、1バイトのDID、例えば112バイト～206バイトの間で可変に規定されるデータ領域および12バイトのパリティ（内符号パリティ）からなる。なお、データ領域は、ペイロードとも称される。

【0075】先頭の2バイトのSYNCパターンは、同期検出用であり、所定のビットパターンを有する。固有のパターンに対して一致するSYNCパターンを検出することで、同期検出が行われる。

【0076】図6Aは、ID0およびID1のビットアサインの一例を示す。IDは、シンクブロックが固有に持っている重要な情報を持っており、各2バイト（ID0およびID1）が割り当てられている。ID0は、1トラック中のシンクブロックのそれぞれを識別するための識別情報（SYNC ID）が格納される。SYNC IDは、例えば各セクタ内のシンクブロックに対して付された通し番号である。SYNC IDは、8ビットで表現される。ビデオのシンクブロックとオーディオのシンクブロックとでそれぞれ別個にSYNC IDが付される。

【0077】ID1は、シンクブロックのトラックに関する情報が格納される。MSB側をビット7、LSB側をビット0とした場合、このシンクブロックに関して、ビット7でトラックの上側（Upper）か下側（Lower）かが示され、ビット5～ビット2で、トラックのセグメントが示される。また、ビット1は、トラックのアジマスに対応するトラック番号が示され、ビット0は、このシンクブロックがビデオデータおよびオーディオデータを区別するビットである。

【0078】図6Bは、ビデオの場合のDIDのビットアサインの一例を示す。DIDは、ペイロードに関する情報が格納される。上述したID1のビット0の値に基づき、ビデオおよびオーディオで、DIDの内容が異な

る。ビット7～ビット4は、未定義(Reserved)とされている。ビット3および2は、ペイロードのモードであり、例えばペイロードのタイプが示される。ビット3および2は、補助的なものである。ビット1でペイロードに1個あるいは2個のマクロブロックが格納されることが示される。ビット0でペイロードに格納されるビデオデータが外符号パリティであるかどうかを示される。

【0079】図6Cは、オーディオの場合のDIDのビットアサインの一例を示す。ビット7～ビット4は、Reservedとされている。ビット3でペイロードに格納されているデータがオーディオデータであるか、一般的なデータであるかどうかを示される。ペイロードに対して、圧縮符号化されたオーディオデータが格納されている場合には、ビット3がデータを示す値とされる。ビット2～ビット0は、NTSC方式における、5フィールドシーケンスの情報が格納される。すなわち、NTSC方式においては、ビデオ信号の1フィールドに対してオーディオ信号は、サンプリング周波数が48kHzの場合、800サンプルおよび801サンプルの何れかであり、このシーケンスが5フィールド毎に揃う。ビット2～ビット0によって、シーケンスの何処に位置するかが示される。

【0080】図5に戻って説明すると、図5B～図5Eは、上述のペイロードの例を示す。図5Bおよび図5Cは、ペイロードに対して、1および2マクロブロックのビデオデータ(可変長符号化データ)が格納される場合の例をそれぞれ示す。図5Bに示される、1マクロブロックが格納される例では、先頭の3バイトに、後続するマクロブロックの長さを示す長さ情報LTが配される。なお、長さ情報LTには、自分自身の長さを含んでも良いし、含まなくても良い。また、図5Cに示される、2マクロブロックが格納される例では、先頭に第1のマクロブロックの長さ情報LTが配され、続けて第1のマクロブロックが配される。そして、第1のマクロブロックに続けて第2のマクロブロックの長さを示す長さ情報LTが配され、続けて第2のマクロブロックが配される。長さ情報LTは、デパッキングのために必要な情報である。

【0081】図5Dは、ペイロードに対して、ビデオAUX(補助的)データが格納される場合の例を示す。先頭の長さ情報LTには、ビデオAUXデータの長さが記される。この長さ情報LTに続けて、5バイトのシステム情報、12バイトのPICT情報、および92バイトのユーザ情報が格納される。ペイロードの長さに対して余った部分は、Reservedとされる。

【0082】図5Eは、ペイロードに対してオーディオデータが格納される場合の例を示す。オーディオデータは、ペイロードの全長にわたって詰め込むことができる。オーディオ信号は、圧縮処理などが施されない、例

えばPCM形式で扱われる。これに限らず、所定の方式で圧縮符号化されたオーディオデータを扱うようにもできる。

【0083】この一実施形態においては、各シンクブロックのデータの格納領域であるペイロードの長さは、ビデオシンクブロックとオーディオシンクブロックとでそれぞれ最適に設定されているため、互いに等しい長さではない。また、ビデオデータを記録するシンクブロックの長さと、オーディオデータを記録するシンクブロックの長さとを、信号フォーマットに応じてそれぞれ最適な長さに設定される。これにより、複数の異なる信号フォーマットを統一的に扱うことができる。

【0084】図7Aは、MPEGエンコーダのDCT回路から出力されるビデオデータ中のDCT係数の順序を示す。DCTブロックにおいて左上のDC成分から開始して、水平ならびに垂直空間周波数が高くなる方向に、DCT係数がジグザグスキャンで出力される。その結果、図7Bに一例が示されるように、全部で64個(8画素×8ライン)のDCT係数が周波数成分順に並べられて得られる。

【0085】このDCT係数がMPEGエンコーダのVLC部によって可変長符号化される。すなわち、最初の係数は、DC成分として固定的であり、次の成分(AC成分)からは、ゼロのランとそれに続くレベルに対応してコードが割り当てられる。従って、AC成分の係数データに対する可変長符号化出力は、周波数成分の低い(低次の)係数から高い(高次の)係数へと、AC₁, AC₂, AC₃, ...と並べられたものである。可変長符号化されたDCT係数をエレメンタリストリームが含んでいる。

【0086】ストリームコンバータ106では、供給された信号のDCT係数の並べ替えが行われる。すなわち、それぞれのマクロブロック内で、ジグザグスキャンによってDCTブロック毎に周波数成分順に並べられたDCT係数がマクロブロックを構成する各DCTブロックにわたって周波数成分順に並べ替えられる。

【0087】図8は、このストリームコンバータ106におけるDCT係数の並べ替えを概略的に示す。(4:2:2)コンポーネント信号の場合に、1マクロブロックは、輝度信号Yによる4個のDCTブロック(Y₁, Y₂, Y₃およびY₄)と、色度信号Cb, Crのそれぞれによる2個ずつのDCTブロック(Cb₁, Cb₂, Cr₁およびCr₂)からなる。

【0088】上述したように、ビデオエンコーダ102では、MPEG2の規定に従いジグザグスキャンが行われ、図8Aに示されるように、各DCTブロック毎に、DCT係数がDC成分および低域成分から高域成分に、周波数成分の順に並べられる。一つのDCTブロックのスキャンが終了したら、次のDCTブロックのスキャンが行われ、同様に、DCT係数が並べられる。

【0089】すなわち、マクロブロック内で、DCTブロック Y_1 、 Y_2 、 Y_3 および Y_4 、DCTブロック C_{b1} 、 C_{b2} 、 C_{r1} および C_{r2} のそれぞれについて、DCT係数がDC成分および低域成分から高域成分へと周波数順に並べられる。そして、連続したランとそれに続くレベルとからなる組に、 $[DC, AC_1, AC_2, AC_3, \dots]$ と、それぞれ符号が割り当てられるように、可変長符号化されている。

【0090】ストリームコンバータ106では、可変長符号化され並べられたDCT係数を、一旦可変長符号を解読して各係数の区切りを検出し、マクロブロックを構成する各DCTブロックに跨って周波数成分毎にまとめる。この様子を、図8Bに示す。最初にマクロブロック内の8個のDCTブロックのDC成分をまとめ、次に8個のDCTブロックの最も周波数成分が低いAC係数成分をまとめ、以下、順に同一次数のAC係数成分をまとめるように、8個のDCTブロックに跨って係数データを並び替える。

【0091】並び替えられた係数データは、DC (Y_1)、DC (Y_2)、DC (Y_3)、DC (Y_4)、DC (C_{b1})、DC (C_{b2})、DC (C_{r1})、DC (C_{r2})、 AC_1 (Y_1)、 AC_1 (Y_2)、 AC_1 (Y_3)、 AC_1 (Y_4)、 AC_1 (C_{b1})、 AC_1 (C_{b2})、 AC_1 (C_{r1})、 AC_1 (C_{r2})、 \dots である。ここで、DC、 AC_1 、 AC_2 、 \dots は、図7を参照して説明したように、ランとそれに続くレベルとからなる組に対して割り当てられた可変長符号の各符号である。

【0092】ストリームコンバータ106で係数データの順序が並べ替えられた変換エレメントリストリームは、パッキングおよびシャフリング部107に供給される。マクロブロックのデータの長さは、変換エレメントリストリームと変換前のエレメントリストリームとで同一である。また、ビデオエンコーダ102において、ビットレート制御によりGOP (1フレーム) 単位に固定長化されていても、マクロブロック単位では、長さが変動している。パッキングおよびシャフリング部107では、マクロブロックのデータを固定枠に当てはめる。

【0093】図9は、パッキングおよびシャフリング部107でのマクロブロックのパッキング処理を概略的に示す。マクロブロックは、所定のデータ長を持つ固定枠に当てはめられ、パッキングされる。このとき用いられる固定枠のデータ長を、記録および再生の際のデータの最小単位であるシンクブロック長と一致させている。これは、シャフリングおよびエラー訂正符号化の処理を簡単に行うためである。図9では、簡単のため、1フレームに8マクロブロックが含まれるものと仮定する。

【0094】可変長符号化によって、図9Aに一例が示されるように、8マクロブロックの長さは、互いに異なる。この例では、固定枠である1シンクブロックの長さ

と比較して、マクロブロック#1のデータ、#3のデータおよび#6のデータがそれぞれ長く、マクロブロック#2のデータ、#5のデータ、#7のデータおよび#8のデータがそれぞれ短い。また、マクロブロック#4のデータは、1シンクブロックと略等しい長さである。

【0095】パッキング処理によって、マクロブロックが1シンクブロック長の固定長枠に詰め込まれる。過不足無くデータを詰め込むことができるのは、1フレーム期間で発生するデータ量が固定量に制御されているからである。図9Bに一例が示されるように、1シンクブロックと比較して長いマクロブロックは、シンクブロック長に対応する位置で分割される。分割されたマクロブロックのうち、シンクブロック長からはみ出た部分（オーバーフロー部分）は、先頭から順に空いている領域に、すなわち、長さがシンクブロック長に満たないマクロブロックの後ろに、詰め込まれる。

【0096】図9Bの例では、マクロブロック#1の、シンクブロック長からはみ出た部分が、まず、マクロブロック#2の後ろに詰め込まれ、そこがシンクブロックの長さに達すると、マクロブロック#5の後ろに詰め込まれる。次に、マクロブロック#3の、シンクブロック長からはみ出た部分がマクロブロック#7の後ろに詰め込まれる。さらに、マクロブロック#6のシンクブロック長からはみ出た部分がマクロブロック#7の後ろに詰め込まれ、さらにはみ出た部分がマクロブロック#8の後ろに詰め込まれる。こうして、各マクロブロックがシンクブロック長の固定枠に対してパッキングされる。

【0097】各マクロブロックの長さは、ストリームコンバータ106において予め調べておくことができる。これにより、このパッキング部107では、VLCデータをデコードして内容を検査すること無く、マクロブロックのデータの最後尾を知ることができる。

【0098】図10は、一実施形態で使用されるエラー訂正符号の一例を示し、図10Aは、ビデオデータに対するエラー訂正符号の1ECCブロックを示し、図10Bは、オーディオデータに対するエラー訂正符号の1ECCブロックを示す。図10Aにおいて、VLCデータがパッキングおよびシャフリング部107からのデータである。VLCデータの各行に対して、SYNCパターン、ID、DIDが付加され、さらに、内符号のパリティが付加されることによって、1SYNCブロックが形成される。

【0099】すなわち、VLCデータの配列の垂直方向に整列する所定数のシンボル（バイト）から10バイトの外符号のパリティが生成され、その水平方向に整列する、ID、DIDおよびVLCデータ（または外符号のパリティ）の所定数のシンボル（バイト）から内符号のパリティが生成される。図10Aの例では、10個の外符号パリティのシンボルと、12個の内符号のパリティのシンボルとが付加される。具体的なエラー訂正符号と

しては、リードソロモン符号が使用される。また、図 10A において、1 SYNC ブロック内の VLC データの長さが異なるのは、59.94 Hz、25 Hz、23.976 Hz のように、ビデオデータのフレーム周波数が異なるのに対応するためである。

【0100】図 10B に示すように、オーディオデータに対する積符号もビデオデータに対するものと同様に、10 シンボルの外符号のパリティおよび 12 シンボルの内符号のパリティを生成するものである。オーディオデータの場合は、サンプリング周波数が例えば 48 kHz とされ、1 サンプルが 16 ビットに量子化される。1 サンプルを他のビット数例えば 24 ビットに変換しても良い。上述したフレーム周波数の相違に応じて、1 SYNC ブロック内のオーディオデータの量が相違している。前述したように、1 フィールド分のオーディオデータ / 1 チャンネルによって 2 ECC ブロックが構成される。1 ECC ブロックには、偶数番目および奇数番目の一方のオーディオサンプルとオーディオ AUX とがデータとして含まれる。

【0101】次に、図 2 を用いて上述した、同期検出回路 132 について、さらに詳細に説明する。図 11 は、この発明による同期検出回路 132 の構成の一例を示す。この同期検出回路 132 は、互いにデータ長の異なるシンクブロックを、自動的に検出できるようにされると共に、セクタの途中で同期パターンのエラーがあっても、前戻り処理を行えるようにされており、この発明の主旨をなすものである。

【0102】なお、以下では、この同期検出回路 132 では、 $[L > K]$ および $[2K > L]$ であるような、2 種類の異なるデータ長 L および K を有するシンクブロックの検出を行うものとする。データ長 L および K は、所定周波数のクロックの L および K クロック分に相当する。

【0103】ビットシリアルである入力データが端子 1 に対して入力される。この入力データは、シフトレジスタ L10、シフトレジスタ K11、比較 (L) 回路 12 の一方の入力端、比較 (K) 13 回路の一方の入力端およびシンク比較回路 14 にそれぞれ供給される。

【0104】シフトレジスタ L10 およびシフトレジスタ K11 は、それぞれデータ長 L および K に対応するビット長を有する。シフトレジスタ L10 の出力は、6 L 分の遅延を有するディレイライン 19 と、長さ L の同期パターンに対応した比較 (L) 回路 12 の他方の入力端に供給される。シフトレジスタ K11 の出力は、長さ K の同期パターンに対応した比較 (K) 回路 13 の他方の入力端に供給される。シンク比較回路 14 による、同期パターン検出結果と、同期パターンがどのビット位置で一致したかを示すビットシフト量情報とが比較 (L) 回路 12 および比較 (K) 回路 13 にそれぞれ供給される。

【0105】比較 (L) 回路 12 での検出結果およびシフト量が信号 CL としてシンク検出回路 15 に供給される。同様に、比較 (K) 回路 13 での検出結果およびシフト量が信号 CK としてシンク検出回路 15 に供給される。シンク検出回路 15 では、信号 CL あるいは信号 CK に基づき、シンク情報の検出ならびホールドがなされる。ホールドされたシンク情報は、位相制御回路 16 に供給される。位相制御回路 16 では、この情報に基づきシンク RAM17 へのシンク情報の書き込みアドレスを求める。

【0106】シンク情報は、このアドレスに基づきシンク RAM17 に書き込まれる。シンク RAM17 は、全体で $(7L - K)$ 分の長さを有し、書き込まれたデータは、例えばクロックに基づきデータ長に対応したアドレスを移動され、最終的にシンク RAM17 から出力される。また、図 11 に示されるように、シンク RAM17 中の $(6L - K)$ の長さの前半部分 17A と、L の長さの後半部分 17B との中間から、イナーシャ回路 18 への出力がなされる。

【0107】位相制御回路 16 によるシンク RAM17 のアドレス制御により、データの位相が制御され、前戻り処理がなされる。シンク RAM17 における、前半部分 17A からシンク情報が出力され、イナーシャ回路 18 に供給される。

【0108】一方、出力制御回路 20 には、シンク RAM17 から、位相制御回路 16 のアドレス制御に基づく分だけ遅延されたシンク情報が供給されると共に、イナーシャ回路 18 で生成された同期パルスが供給される。供給されたこれらのシンク情報および同期パルスに基づき、ディレイライン 19 に格納された入力データが読み出され、シンクブロックとして出力端 21 に導出される。また、イナーシャ回路 18 で生成された同期パルスは、出力端 22 にも導出される。

【0109】なお、同期パルスが検出されておらず、イナーシャ回路 18 からの同期パルスのみで出力データの同期がとられている場合、出力制御回路 20 から信号 Fab-SYNC が出力される。この信号 Fab-SYNC は、位相制御回路 16 に供給され、前戻り処理がなされる。

【0110】次に、上述した同期検出回路 132 での処理について、さらに詳細に説明する。上述したように、シンクブロックは、先頭の 2 バイトに同期パターンが配され、3 バイト目に ID 番号 (ID0)、4 バイト目に付加情報 (ID1) が配される。付加情報には、このシンクブロックに格納されているデータの種別が記される。

【0111】シンクブロックは、実際には、記録媒体から再生されたシリアルデータを単純に、8 ビット毎にシリアル-パラレル変換された 1 バイト単位のデータを扱うため、元のシンクブロックを構成するデータに対して

ビットシフトされた状態で入力される。この様子を、図 12 に示す。入力データは、図 12 A のように単純に 8 ビット（1 オクテット）を単位として扱われる。図 12 B に一例が示されるように、この入力データの区切りと元の（記録時の）データの区切りとは、必ずしも対応しておらず、各バイトのデータは、例えば図 12 C に示されるように、入力データの区切りに対して、この例では 3 ビット、シフトしている。

【0112】入力データと元のデータとのビットシフト量は、同期パターンの検出時に、そのデータをどれだけシフトすれば固有の同期パターンになるかによって判断される。ここでは、入力したデータ列のビットシフト量が 0 で、元のデータと一致しているとして説明する。この例では、入力データと、入力に対して L および K クロック分遅延されたデータを参照する。そして、それらのデータを、ビットシフトした値が固有の同期パターンと一致するかどうか、ID 番号の連続性および ID 情報の同一性を検証し、全てが適正であった場合に、同期パターンが検出されたと判断している。

【0113】図 13 A は、入力端 1 から入力される入力データの一例を示す。同期パターンを先頭とする各シンクブロックの長さが L で示される。この入力データが入力端 1 に供給され、シフトレジスタ L 10 およびシフトレジスタ K 11 に、それぞれ順次供給される。データが入力され続けると、シフトレジスタ L 10 内のレジスタが図 14 A のような状態となる。なお、図 14 A 中で、SYNC (L) は、同期パターンの前半の 8 ビットを示し、SYNC (H) は、後半の 8 ビットを示す。

【0114】入力端 1 からの直接的な入力データと、シフトレジスタ L 10 の出力とが比較 (L) 回路 12 の一方および他方の入力端に供給される。例えば、比較

(L) 回路 12 の一方の入力端に供給されるデータは、図 14 A の「A」の位置のデータであり、他方の入力端に供給されるデータは、「B」の位置のデータである。

【0115】比較 (L) 回路 12 は、例えば図 15 に一例が示されるような構成とされる。なお、比較 (K) 回路 13 も、同様の構成とされる。シフトレジスタ L 10 が端子 30 から入力され、8 ビットパラレルのレジスタ 31、32 に 8 ビットずつが格納される。同様に、入力端 1 からの入力データが端子 34 から入力され、8 ビットパラレルのレジスタ 35、36 に 8 ビットずつが格納される。これら、レジスタ 31、32 に格納されたデータと、レジスタ 35、36 に格納されたデータとが一致するかどうかを、EXOR 回路 33、37 ならびに NOR 回路 38 を用いて調べる。この様子を、図 14 B に示す。比較結果は、出力端 39 に導出される。

【0116】なお、入力データは、予めシンク比較回路 14 で同期パターンと一致するかどうか調べられ、その結果が比較 (L) 回路 12 および比較 (K) 回路 13 にそれぞれ通知される。シンク比較回路 14 では、図 1

6 に一例が示されるように、内部でラッチしている入力データに対して、各ビット位置で 8 ビットの同期パターンと比較する。シンク比較回路 14 から、比較 (L) 回路 12 および比較 (K) 回路 13 に対して、同期パターンが検出されたかどうかを示す検出結果と、同期パターンが検出された場合、その同期パターンがどのビット位置で一致したのかを示すビットシフト量とが供給される。

【0117】このような処理を行うことによって、データ長 L の間隔で同期パターンが入力されると、比較

(L) 回路 12 では、シンク比較回路 14 で検出されたのと同じビット位置で同期パターンが一致したことを検出することができる。そして、検出結果とビットシフト量とが信号 CL として出力される。これにより、図 13 A に示される各シンクブロックの位置を確認することができる。

【0118】一方、シフトレジスタ K 11 においては、レジスタのビット長が入力されているシンクブロックのバイト数よりも短いので、上述した図 14 A に示されるような状態にはならない。こちらの検出回路側で同期パターンを検出することが無い。

【0119】同様に、データ長が K であるシンクブロックが連続的に入力されると、このときには、シフトレジスタ K 11 および比較 (K) 回路 13 が、上述した図 14 A および図 14 B の状態となるため、同期パターンの一致を検出することができる。また、この場合、シフトレジスタ L 10 および比較 (L) 回路 12 は、図 14 A および図 14 B の状態にならないため、こちらの検出回路側では、同期パターンが検出されることがない。

【0120】このように、図 11 の回路を用いて、入力データ上に特別にデータ長の情報を持たせなくても、複数のシンクブロックを検出することができる。原理的には、検出するデータ長毎に、シフトレジスタおよび比較回路を設けることで、同時に検出することが可能なデータ長の種類を増やすことができる。

【0121】次に、入力したデータを出力する際の、シンクブロックの先頭の位置を示す同期パルスを作成する方法について説明する。本来、この同期検出回路 132 で扱われるデータは、図 13 A で示したように、シンクブロックが連続的に入力されるものである。しかしながら、記録ならびに伝送系の過程で生じたエラーなどのため、データの一部若しくは連続したある区間だけ消失している可能性がある。シンクブロックのデータ部分、すなわちデータパケットは、エラー訂正符号を構成しているので、このように同期パターンを含むデータの一部が欠落しても、エラー訂正ができる可能性がある。しかし、エラー訂正処理を実行させるためには、エラー訂正符号の先頭、つまりシンクブロックの先頭の位置が正しく検出されていることが必要である。

【0122】そこで、同一セクタ内では、同じ長さのシ

ンクブロックが連続して記録されていることを考えると、一度、特定のデータ長で同期パターンを検出したならば、その時点でのデータ長の間隔でシンクブロックが並んでいる可能性が高いと考えられる。したがって、同期パターンを検出できなくても、次に同期パターンを検出するまで、前回検出された同期パルスを出し続けることにより、この同期パルスに基づきデータを再生することができる可能性がある。例えば、図13Cに示されるように、シンクブロック長に対応する同期パルスに基づき、図13Bの如く、シンクブロックを正しく再生することができる。

【0123】このための手段として、一度、同期パターンを検出できたなら、出力データの先頭にタイミングを合わせて一定間隔でパルスを出力するような回路を用いる。上述したイナーシャ回路18がこの回路に相当する。

【0124】図17は、上述のイナーシャ回路18の構成の一例を示す。この回路18は、データ長LおよびKの2種類のデータ長に対応したものである。端子50に対して、データ長をLあるいはKの何れかに決定するための、識別信号L/Kが供給される。識別信号L/Kは、例えば、同期パターンの検出をシフトレジスタ10Lを用いて行ったか、シフトレジスタK11を用いて行ったかを示す識別信号である。また、端子51に対して、同期パターンの検出のタイミングに対応した信号（スタートパルス）が供給される。

【0125】スタートパルスは、L/Kカウンタ52のスタート端子STに供給されると共に、当初端子51側が選択されているスイッチ回路54を介して、OR回路58の一方の入力端に供給される。OR回路58の出力は、後述するカウンタ59のロード入力端に供給される。

【0126】端子50に入力された識別信号L/Kは、L/Kカウンタ52のイネーブル端子ENに供給されると共に、スイッチ回路53の選択制御信号として用いられる。スイッチ回路53は、この識別信号L/Kの内容に応じて入力端53Aおよび53Bを選択される。入力端53Aおよび53Bの選択に応じて、カウンタ59のロードデータ端子に対して、データ長LおよびKに対応した初期値が例えば図示されないシステムコントローラから供給されロードされる。

【0127】カウンタ59は、所定のクロックに基づき、ロードされた初期値からカウントダウンする。そして、カウント値が[0]になったところで、同期パルスを1クロック分、出力する。出力された同期パルスは、出力端60に導出されると共に、OR回路58の他方の入力端に供給される。同期パルスが出力されると、再度、スイッチ回路53を介して初期値がロードされ、カウントダウンが再開される。

【0128】カウンタ59でのカウントは、OR回路5

8から出力されるパルスを起点として開始される。すなわち、端子51から供給されたスタートパルスか、あるいは、カウンタ59から出力される同期パルスの何れかが起点とされる。そして、カウントの途中であっても、OR回路58からのパルスが供給されれば、ロードデータ端子から初期値がロードされ、その初期値からのカウントダウンが開始される。したがって、入力データの同期パターンの検出位置が変わった場合でも、カウントの途中で初期値がロードされるので、入力データに追従した同期パルスを出力することができる。なお、スイッチ回路54は、この回路18の動作に応じて適宜選択される。スイッチ回路54の選択によっては、後述するL/Kカウンタ52から出力が起点とされる。

【0129】図18は、データ長Lである場合の、イナーシャ回路18での動作タイミングの一例を示す。カウンタ59では、図18Aのクロックに基づきカウントダウンが行われる。例えば、タイミングAでスタートパルスと識別信号L/Kが入力される（図18Bおよび図18C）。すると、次のクロックで、ロードデータ端子からデータ長Lに対応した初期値が入力され、初期値からのカウントダウンがなされる（図18D）。そして、カウント値が[0]になると（タイミングB）、スタートパルスが入力されなくても、図18Eに示されるように同期パルスが出力される。これにより、一度スタートされると、一定間隔で同期パルスを出力することができる。

【0130】また、タイミングCのように、カウンタ59によるカウントダウンの途中でスタートパルスが入力されると、その時点で初期値がロードされる。さらに、タイミングDのように、カウント値が[0]になるとスタートパルスの入力とが同時でも、上述のタイミングBと同様に、その時点で初期値がロードされる。

【0131】このように、スタートパルスが入力されてからLクロック後に、同期パルスが出力される。一方、データ長がKの場合でも、イナーシャ回路18内で（L-K）クロック分のディレイが調整され（後述する）、その後、カウンタ59でのカウントダウンが開始される。そのため、出力データ（シンクブロック）を出力するのに際して、Lクロック分だけ遅延させる必要がある。この出力データの遅延は、図11におけるディレイライン19内の、ディレイ19Bを用いて行われる。

【0132】次に、次に、同期パターンの検出結果をイナーシャ回路18に伝達する方法について、図19～図21を用いて説明する。まず、図20を用いて、データ長がLの場合について説明する。図19は、タイミングAが最も新しい時間に入力された同期パターンを示し、入力端子1に対して同期パターンがF、E、D、C、BおよびAの順番で入力されることが示される。なお、A、B、C、D、EおよびFそれぞれのタイミングで入力された同期パターンに対応したシンクブロックを、そ

10

20

30

40

50

れぞれシンクブロック A、B、C、D、E および F と称する。

【0133】データ長が L である場合、これらのシンクブロック A～F は、シンクブロック A がシフトレジスタ L10 に入力された時点で、シフトレジスタ L10 およびディレイライン 19 に対して、図 20 のように格納される。すなわち、シフトレジスタ L10 には、シンクブロック A が格納され、ディレイライン 19 には、先頭から、シンクブロック B～F が順に格納されている。また、シンクブロック F が当該セクタの先頭のシンクブロックであるとする。

【0134】図 19 において、F～C までの位置で同期パターンが検出できず、B および A の位置で同期パターンが検出されているものとする。この場合、シンクブロック B に対してイナーシャ回路 18 を起動させなければならない。一方、このシンクブロック B は、ディレイライン 19 の先頭に格納されている（図 20）。この位置ではまだシンクブロックの出力はできないので、同期パターンの検出情報を保管しておかなければならない。そのため、シンク RAM 17 が用いられる。

【0135】同期パターンの検出情報、すなわち同期検出がなされたことを示す情報、データ長情報およびビットシフト量は、図 20 に示されるように、 $(7L-K)$ 分の長さを有するシンク RAM 17 の先頭から $(L -$

データ長 L の場合：書き込み位置 $ML = L - K + \text{戻り量} \times L + \alpha \quad \dots (1)$

データ長 K の場合：書き込み位置 $MK = \text{戻り量} \times K + \alpha \quad \dots (2)$

となる。ここで、 α は、処理による遅延の補正量である。なお、戻り量とは、図 19 に示される戻り量である。この例では、セクタ内で ID 番号が連続しているの、B の位置の ID 番号と、当該セクタの先頭の、既知である ID 番号の差分からこの戻り量を求めている。

【0139】このように、互いに異なる長さのシンクブロックから構成されているデータ列におけるセクタ（1 セクタは、単一の長さのシンクブロックから構成されている）の先頭においての前戻り処理が可能とされる。

【0140】次に、セクタの途中で同期パターンが検出できなくなった場合の、前戻り処理について説明する。当該セクタの読み出し中において、連続して同期パターンの検出ができなくなり、その後、当該セクタ内で再度、同期パターンが検出できた場合、ある一定のシンクブロック数分だけ過去に遡って、早期パルスを発生させる処理を行う。

【0141】まず、出力制御回路 20 において、所定のシンクブロック数以上、同期パターンが検出できない状態であるかどうか判断される。上述したように、出力制御回路 20 に対して、シンク RAM 17 から同期パターン検出情報が供給されると共に、イナーシャ回路 18 から同期パルスが供給される。出力制御回路 20 において、これらの信号ならびに情報を用いて、この判断を行う。すなわち、同期パルスをトリガにして、シンク RA

K) の位置、すなわち、後端から 6 L の位置に格納される。

【0136】ここで、同期パルスを生成し、同期を行う位置を、セクタの先頭に対応する図 19 における F とする。すると、同期パターンの検出情報は、図 20 に示すシンク RAM 17 の F の位置に格納すればよい。また、図 20 に示されるように、シンク RAM 17 の後端側から 1 L 分戻った位置から、イナーシャ回路 18 に対して同期パターンの検出情報を出力する。これにより、ディレイライン 19 に格納されたシンクブロック F と同期パルスとのタイミングが一致することになる。

【0137】同様に、データ長が K の場合の例を図 21 に示す。基本的には、上述のデータ長が L の場合と動作は同じである。但し、データ長が K の場合には、シンク RAM 17 への同期パターン情報の書き込み位置は、シンク RAM 17 の先頭からとなる。これにより、ディレイライン 19 に格納されたシンクブロックの位置と、シンク RAM 17 に格納される同期パターン情報の位置とが対応することになる。なお、データ長が K の場合にも、イナーシャ回路 18 への出力は、シンク RAM 17 の後端側から 1 L 分戻った位置とされる。

【0138】以上において、同期パターンの検出情報の、シンク RAM 17 への先頭から数えた書き込み位置と、前戻り量との関係式は、

M17 の出力を検査する。

【0142】図 22 は、この処理を行うための構成の一例を示す。カウンタ 73 のイネーブル端子 CE に対して、AND 回路 72 の出力が接続され、端子 71 から供給されるシンク RAM 17 からの同期パターン検出情報内の、同期検出ビットを反転したものと、端子 70 から供給されるイナーシャ回路 18 からの同期パルスとの AND をとった値が供給される。これにより、同期パルスが検出されておらず、イナーシャ回路 18 によって生成された同期パルスのみの場合（この状態を、Fab-SYNC と称する）には、カウンタ 73 がカウントアップされる。

【0143】なお、カウンタ 73 は、同期パターンが検出され、端子 71 の同期パターン検出ビットが立ったら、リセットされる。

【0144】カウンタ 73 の出力は、比較回路 75 のデータ端子に入力される。比較回路 75 の Ref 端子には、例えば図示されないシステムコントローラから端子 74 を介して供給された、Fab-SYNC 検出レベルが入力される。比較回路 75 では、カウンタ 73 のカウント値が Fab-SYNC 検出レベルを越えたら、例えば値が「1」の Fab-SYNC 検出信号を出力する。例えば、5 シンクブロック以上、Fab-SYNC が続いたら、Fab-SYNC 検出信号を出力する。この信

号は端子76から位相制御回路16に対して供給される。

【0145】位相制御回路16では、Fab-SYNC検出信号の値が「1」であるときに、同期パターンを検出した旨をシンク検出回路15から受け取ったら、予め設定されている前戻り量だけ前戻り処理を行うように、シンクRAM17に対する同期パターン検出情報の書き込みアドレスを作成する。そして、受け取った同期パターン検出情報を、このアドレスに基づきシンクRAM17に書き込む。これによる前戻り処理は、図19～図21を用いて既に説明した方法と同一になされる。

【0146】なお、位相制御回路16では、上述した、セクタ先頭での前戻り処理と、このセクタ途中での前戻り処理とが重なった場合には、セクタ先頭での前戻り処理を優先的に行う。

【0147】また、Fab-SYNC検出信号は、図22に示される構成に限らず、例えば、図17に点線で示されるように、イナーシャ回路18にFab-SYNC回路55を設け、これにより出力するようにしてもよい。すなわち、Fab-SYNC回路55は、カウンタ59から出力される同期パルスによってカウントアップするカウンタである。このカウンタは、端子51から供給されるスタートパルスによってリセットされる。Fab-SYNC回路55のカウント値は、Fab-SYNC信号として端子56に導出される。Fab-SYNC信号は、位相制御回路16に供給される。

【0148】同期パターン検出情報は、出力データへ反映される。すなわち、最終出力段である出力制御回路20では、イナーシャ回路18の出力と、同期パターン検出情報とに基づき、ディレイライン19からの出力データを、ビットシフト量だけシフトさせ、元のデータの1バイト単位に復元する。

【0149】なお、上述では、データ長がLおよびKの間隔での同期パターンの参照を行っているが、これはこの例に限定されない。すなわち、同様の処理で、L, 2, 3, ..., nL, K, 2K, 3K, ..., mKの間隔で、同期パターンの参照を行うことも、可能である。

【0150】また、上述では、この記録媒体として磁気テープを用いるようにしているが、これはこの例に限定されない。この発明は、例えば、ハードディスクや光磁気ディスクなどの、ディスク状記録媒体に適用することが可能である。また、記録媒体だけでなく、ネットワークなどの通信を介して伝送されたデータに対しても適用可能である。

【0151】

【発明の効果】以上説明したように、この発明によれば、互いに異なるデータ長のシンクブロックを自動的に検出し、イナーシャ回路による同期パルス出力を制御する情報を、データ長に応じて、シンクRAMの前戻り処

理を行いたい位置に対応して書き込むようにしている。そのため、同期信号の検出回路として不可欠な、セクタ先頭での前戻り処理を、互いに異なるシンクブロック長を持つ記録フォーマットで実現できるという効果がある。

【0152】また、この発明によれば、Fab-SYNC検出信号によって、セクタの途中でも、同期検出の前戻り処理を行うことができるという効果がある。

【0153】、ノントラック再生を行うような再生装置では、1本のトラックを複数のヘッドでトレースするために、それぞれのヘッドからの出力においては、トラックの途中から再生されたデータも処理しなければならない。すなわち、セクタの先頭以外でも、同期をとり直す必要がでてくる。この発明によれば、セクタの途中でも、前戻り処理ができるので、同期検出能力を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施形態の記録側の構成を示すブロック図である。

【図2】この発明の一実施形態の再生側の構成を示すブロック図である。

【図3】トラックフォーマットの一例を示す略線図である。

【図4】トラックフォーマットの他の例を示す略線図である。

【図5】シンクブロックの構成の複数の例を示す略線図である。

【図6】シンクブロックに付加されるIDおよびDIDの内容を示す略線図である。

【図7】ビデオエンコードの出力の方法と可変長符号化を説明するための略線図である。

【図8】ビデオエンコードの出力の順序の並び替えを説明するための略線図である。

【図9】順序の並び替えられたデータをシンクブロックにバッキングする処理を説明するための略線図である。

【図10】ビデオデータおよびオーディオデータに対するエラー訂正符号を説明するための略線図である。

【図11】この発明による同期検出回路の構成の一例を示すブロック図である。

【図12】入力データのビットシフトを説明するための略線図である。

【図13】入力データならびに同期パルスを説明するための略線図である。

【図14】シフトレジスタを用いたシンク検出を説明するための略線図である。

【図15】比較(L)回路および比較(K)回路の構成の一例を示すブロック図である。

【図16】シンク比較回路での同期パターン検出を説明するための略線図である。

【図17】この発明によるイナーシャ回路の構成の一例

を示すブロック図である。

【図 18】イナーシャ回路での動作タイミングの一例を示すタイミングチャートである。

【図 19】同期パターンの検出結果をイナーシャ回路に伝達する方法を説明するための略線図である。

【図 20】同期パターンの検出結果をイナーシャ回路に伝達する方法を説明するための略線図である。

【図 21】同期パターンの検出結果をイナーシャ回路に伝達する方法を説明するための略線図である。

【図 22】Fab-SYNC検出信号を出力する構成の一例を示すブロック図である。

【図 23】トラック上の各セクタの配置の一例を概略的に示す略線図である。

【図 24】セクタの先頭で 2 個連続して同期パターンを検出できない例を示す略線図である。

【図 25】従来の技術による前戻り処理を行う同期検出回路の構成の一例を示すブロック図である。

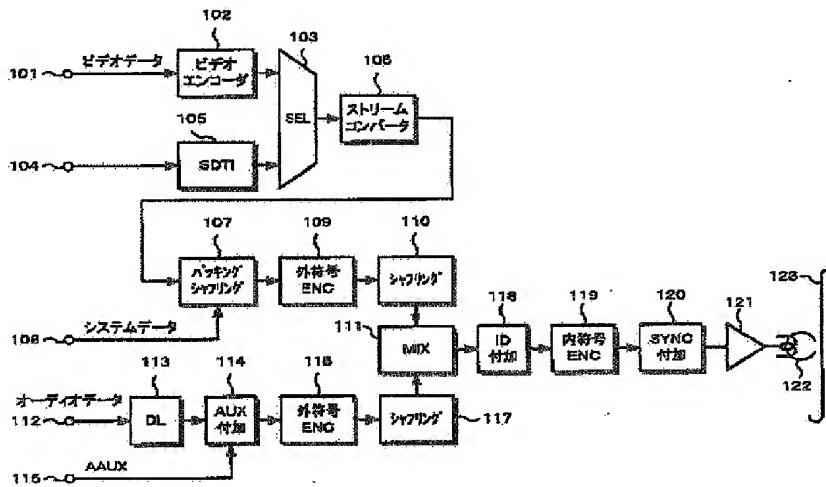
【図 26】セクタの先頭から読み出された入力データの

一例を概略的に示す略線図である。

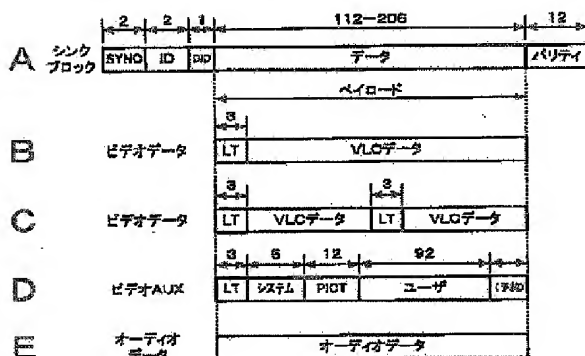
【符号の説明】

10・・・シフトレジスタ L、11・・・シフトレジスタ K、12・・・比較 (L) 回路、13・・・比較 (K) 回路、14・・・シンク比較回路、15・・・シンク検出回路、16・・・位相制御回路、17・・・シンク RAM、18・・・イナーシャ回路、19・・・ディレイライン、20・・・出力制御回路、59・・・カウンタ、73・・・カウンタ、比較回路、100・・・記録再生装置、114・・・AUX付加回路、116・・・外符号エンコーダ、117・・・シャフリング、118・・・ID付加回路、119・・・内符号エンコーダ、120・・・同期付加回路、123・・・磁気テープ、132・・・同期検出回路、133・・・内符号デコード、134・・・ID補間回路、151・・・デシャフリング回路、152・・・外符号デコード、153・・・AUX分離回路、155・・・補間回路、156・・・出力部

【図 1】



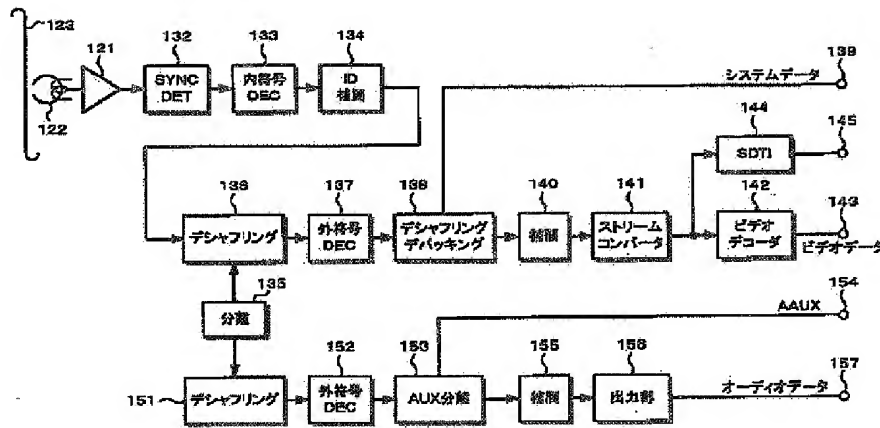
【図 5】



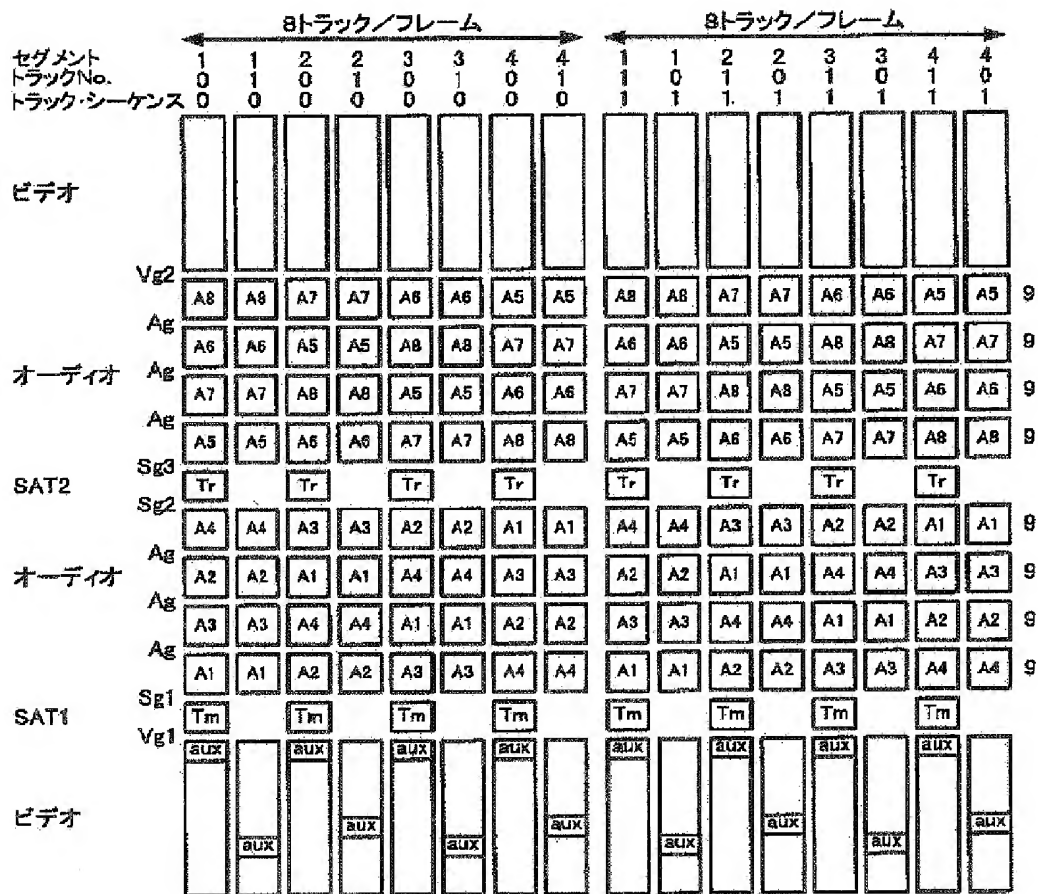
【図 6】

A		B		C	
MSB	ID0	ID1	DID(ビデオ)	DID(オーディオ)	
7	SYNC ID7	Upper/Lower	(Reserve)	(Reserve)	
6	SYNC ID6	(Reserve)	(Reserve)	(Reserve)	
5	SYNC ID5	SEG NB3	(Reserve)	(Reserve)	
4	SYNC ID4	SEG NB2	(Reserve)	(Reserve)	
3	SYNC ID3	SEG NB1	ヘイブ MD1	データ/オーディオ	
2	SYNC ID2	SEG NB0	ヘイブ MD0	SF Seg2	
1	SYNC ID1	トラック	2MB/1MB	SF Seg1	
0	SYNC ID0	ビデオ/オーディオ	Router	SF Seg0	
LSB					

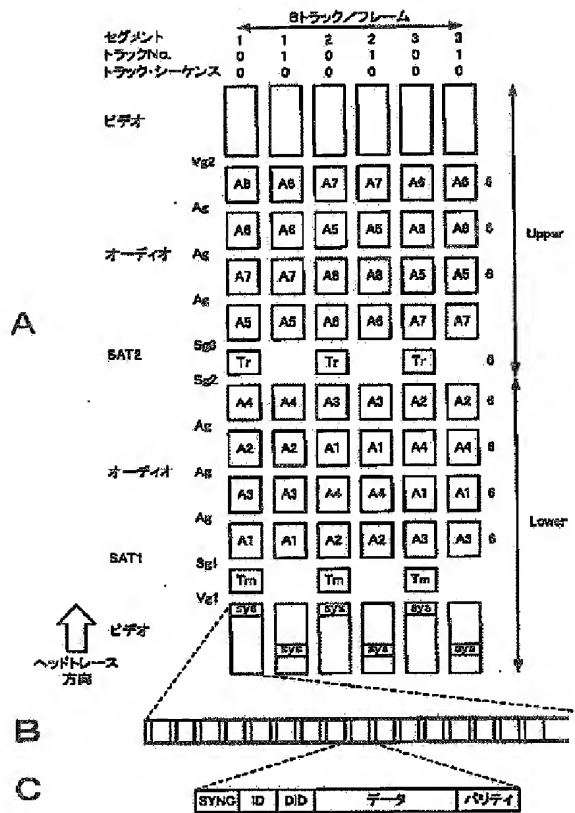
【図2】



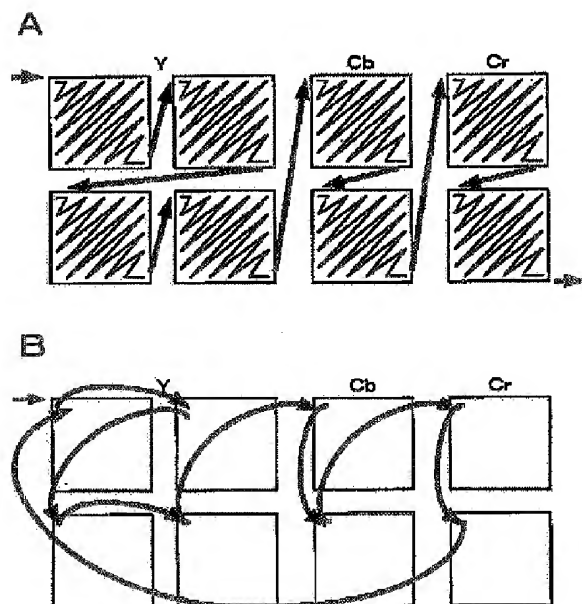
【図3】



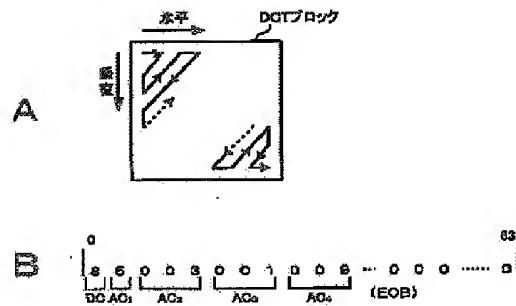
【圖 4】



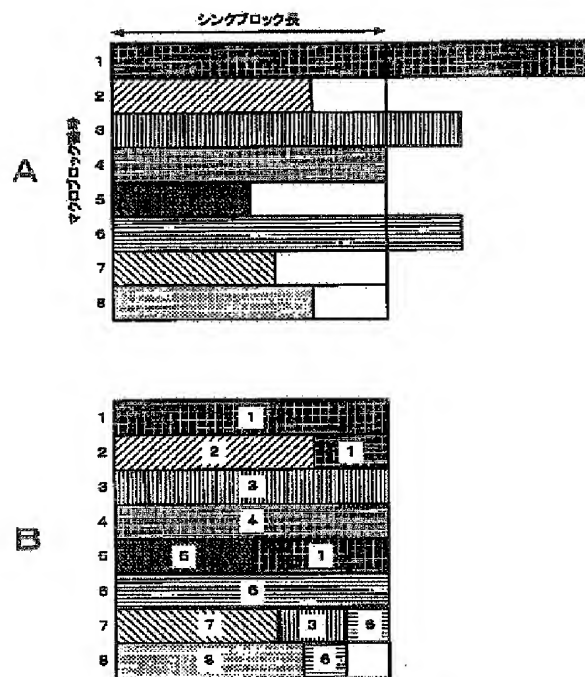
【图 8】



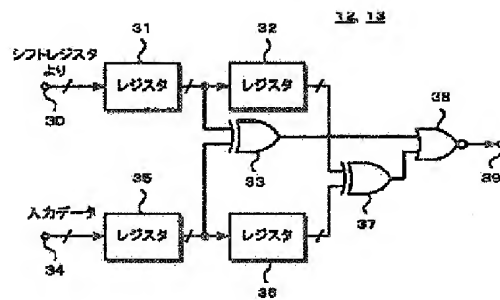
【圖 7】



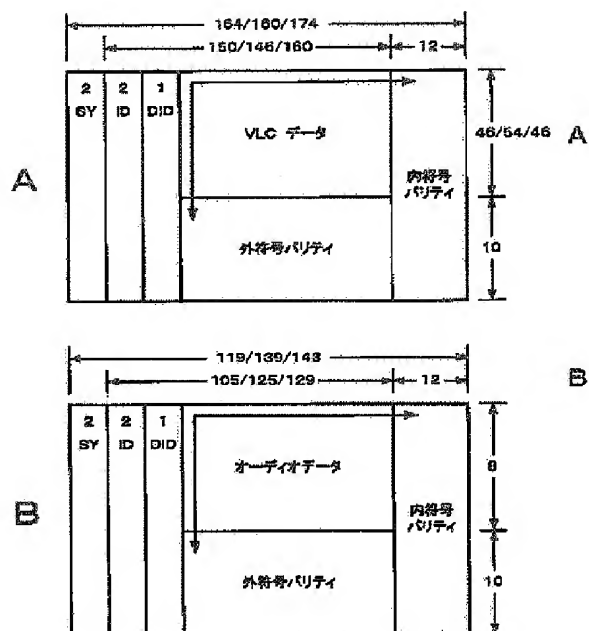
【图9】



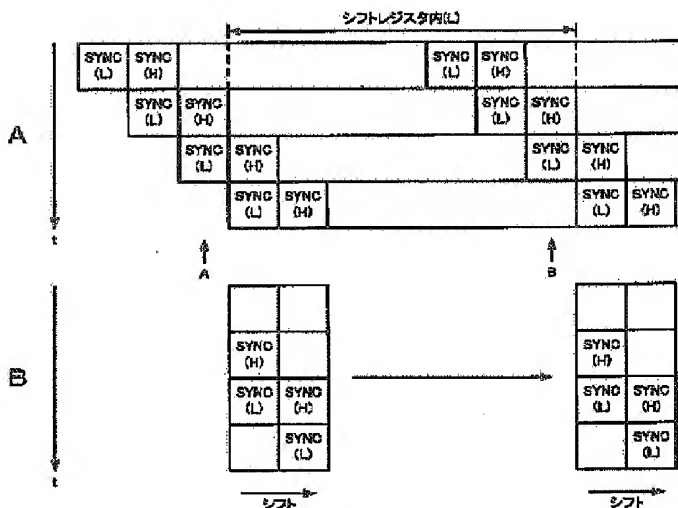
【图 15】



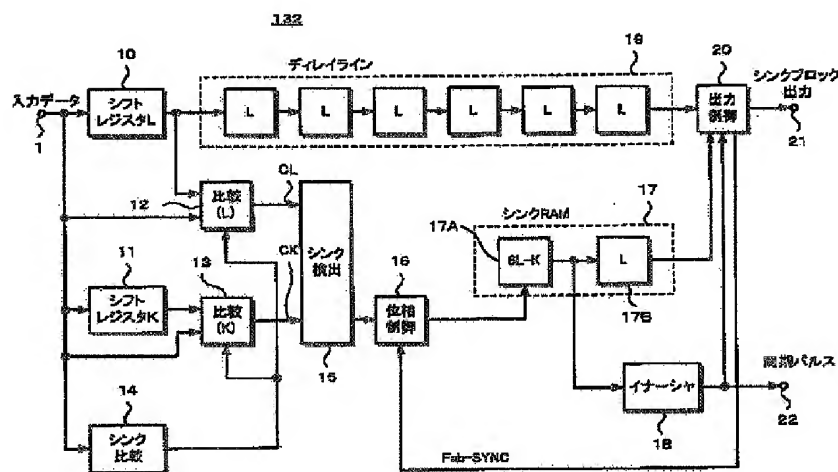
【図10】



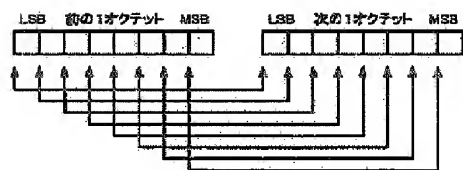
【図14】



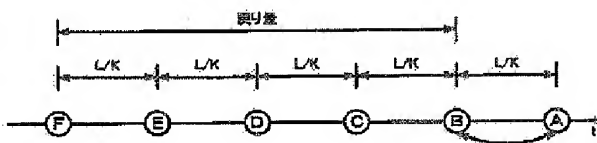
【図11】



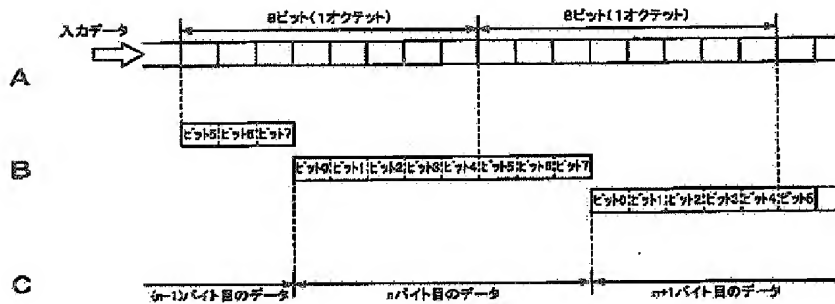
【図16】



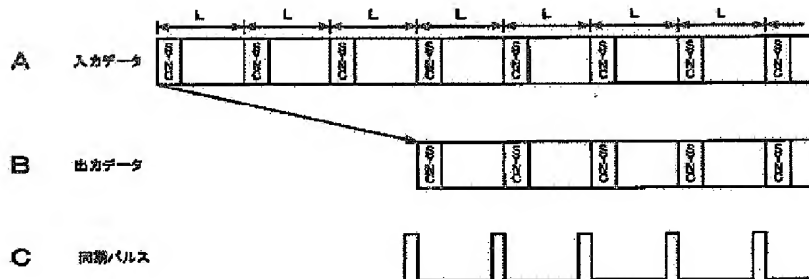
【図19】



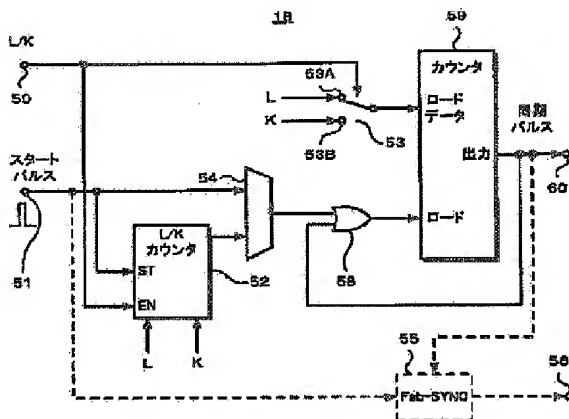
【図12】



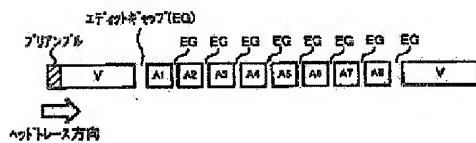
【図13】



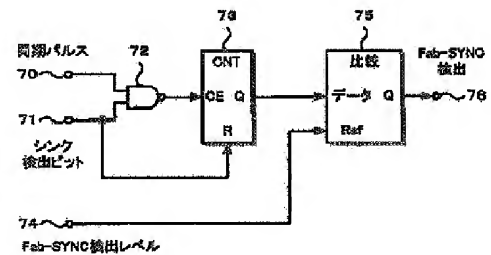
【図17】



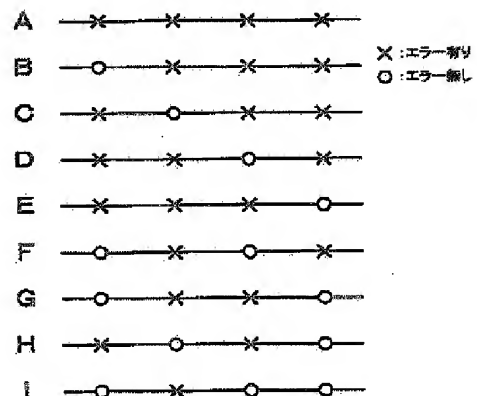
【図23】



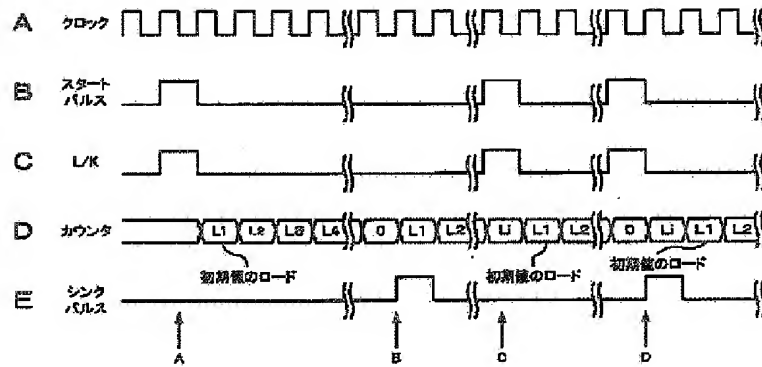
【図22】



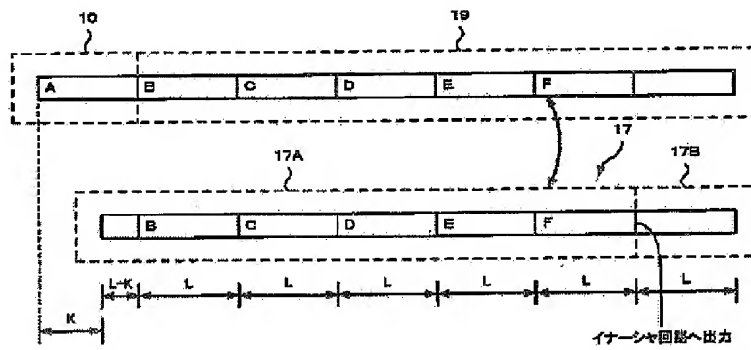
【図24】



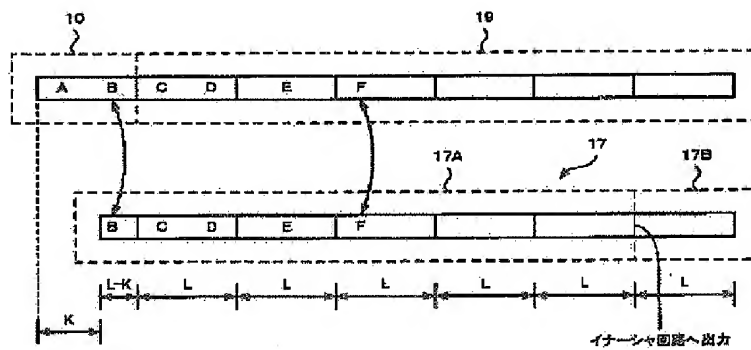
【図18】



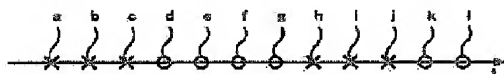
【図20】



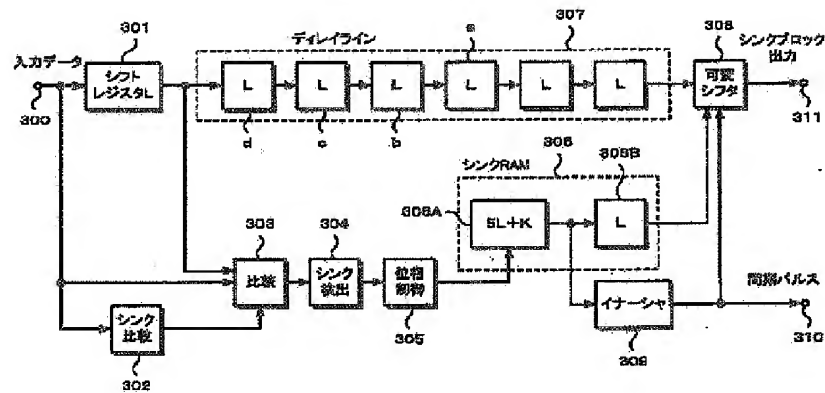
【図21】



【図26】



【図 25】



フロントページの続き

(51)Int. Cl.⁷

H 0 4 N 5/907
5/92

識別記号

F I

H 0 4 N 5/92

テーマコード* (参考)

H

F ターム (参考) 5C018 CA05 GA02 HA05 KA02 LA03
5C052 AA01 AB05 CC02 CC03 CC06
CC11 CC12 GA04 GA07 GB02
GB06 GB07 GB09 GC06 GD01
GD05 GD06 GD09 GF04
5C053 FA22 GA16 GB01 GB06 GB07
GB08 GB10 GB11 GB15 GB18
GB22 GB26 GB30 GB38 HA01
HA33 JA12 JA21 JA26 KA08
KA09 KA19 KA20 KA21 KA24
5D044 AB05 AB07 BC01 CC03 FG10
FG19 GM19 GM27